

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-265045

(43)Date of publication of application : 15.10.1993

(51)Int.CI.

G02F 1/136
G02F 1/133
G09G 3/36

(21)Application number : 04-064148

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.03.1992

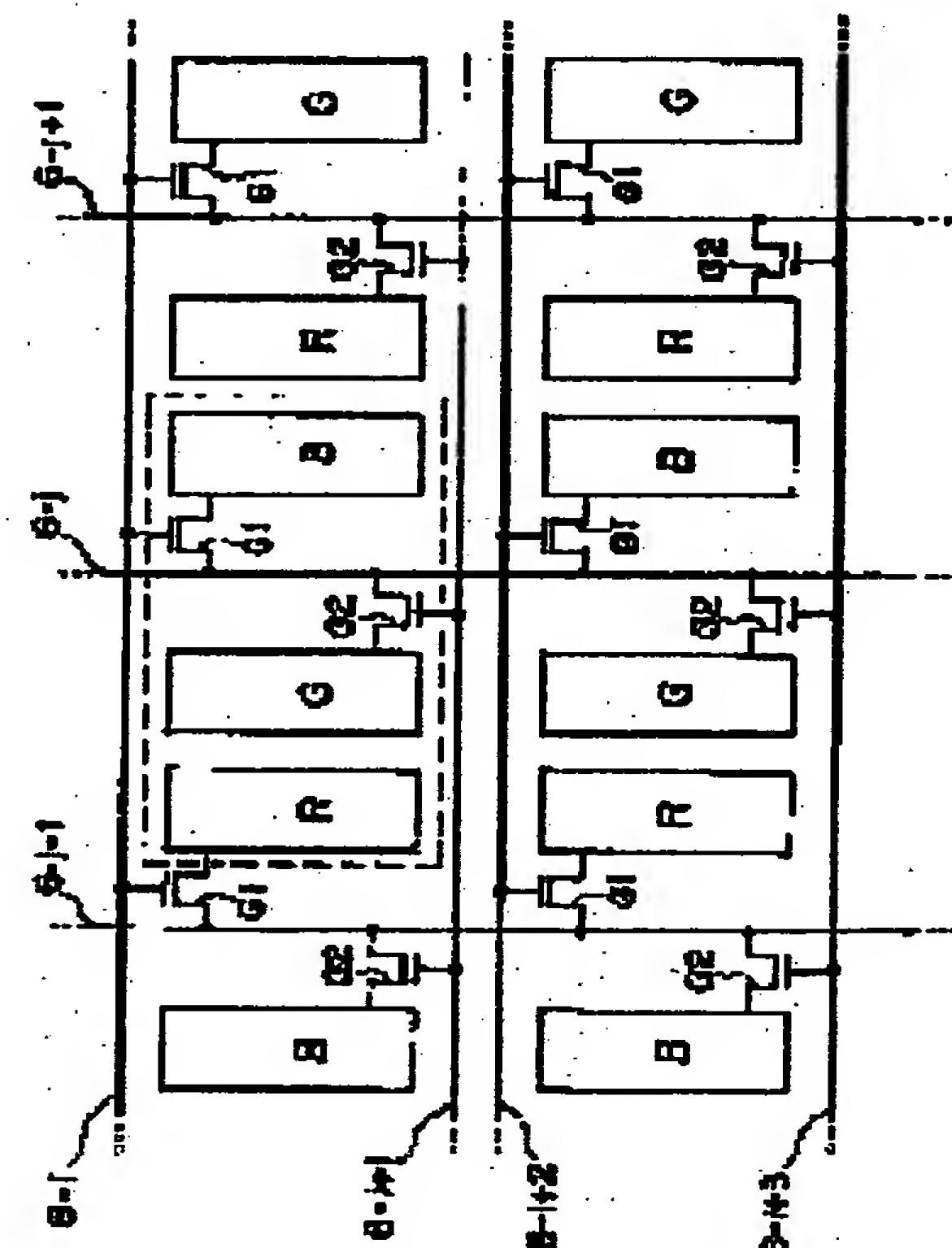
(72)Inventor : TAKAHARA KAZUHIRO
HARAGUCHI MUNEHIRO
YAMAGUCHI TADAHISA
ODA MASAMI
HOSHIYA TAKAYUKI
MURAKAMI HIROSHI
ITOKAZU MASASHI

(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING CIRCUIT

(57)Abstract:

PURPOSE: To provide an active matrix type liquid crystal display device reducing its production cost by reducing the number of data electrode side driving circuits, capable of easily connecting the driving circuit to a panel terminal electrode and improving the yield of connection by constituting the display device of a TFT array.

CONSTITUTION: The active matrix type liquid crystal display device consisting of arraying $M \times N$ (M and N are optional positive integers) picture element electrodes like a matrix is constituted of $2N$ scanning lines 8-1 to 8- $2N$ each of which allocates two lines to one scanning direction display line, $M/2$ data lines 6-1 to 6- $M/2$, the 1st TFT gates G1 each of which is connected to a optional data line and one scanning line in each display line, and the 2nd TFT gates G2 each of which is connected to the data line and the other scanning line.



LEGAL STATUS

[Date of request for examination] 07.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3091300

[Date of registration] 21.07.2000

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

特許第3091300号

(P3091300)

(45)発行日 平成12年9月25日(2000.9.25)

(24)登録日 平成12年7月21日(2000.7.21)

(51)Int.Cl'

G 02 F 1/1368

1/133

G 09 G 3/36

識別記号

5 5 0

F I

G 02 F 1/136 5 0 0

1/133 5 5 0

G 09 G 3/36

請求項の数19(全 35 頁)

(21)出願番号

特願平4-64148

(22)出願日

平成4年3月19日(1992.3.19)

(65)公開番号

特開平5-265045

(43)公開日

平成5年10月15日(1993.10.15)

審査請求日

平成10年4月7日(1998.4.7)

(73)特許権者 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1
番1号

(72)発明者

高原 和博

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者

原口 宗広

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者

山口 忠久

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人

100083839

弁理士 石川 泰男

審査官 井口 猶二

最終頁に続く

(54)【発明の名称】 アクティブマトリクス型液晶表示装置及びその駆動回路

I

(57)【特許請求の範囲】

【請求項1】 画素電極をM×N (M, Nは任意の正整数) のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、
N+1本の走査ラインと、
M本のデータラインと、
を有し、
走査方向の第i番目 (i=1~N) の表示ライン上の各画素電極において、制御端子を第i番目の走査ラインに、一方の端子をデータラインに接続した第1のTFTゲートと、
制御端子を第i+1番目の走査ラインに、一方の端子を該画素電極に、他方の端子を前記第1のTFTゲートの他方の端子に接続した第2のTFTゲートと、
を有することを特徴とするアクティブマトリクス型液晶

2

表示装置。

【請求項2】 前記画素電極は、赤画素電極、緑画素電極、或いは青画素電極であって、横方向に赤画素電極、緑画素電極、及び青画素電極を順に配列して1カラー1画素を構成し、カラー表示することを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項3】 請求項1または2に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、

10 K (K<N+1) 個のドライバ出力を備えて前記走査ラインを駆動する走査電極ドライバと、
M本のデータラインを駆動するデータ電極ドライバと、
前記第i番目 (i=1~N) の走査ライン及び第i+1番目の走査ラインの双方が同時に選択された第i番目の表示ライン上の画素電極に表示データを印加するよう前

記データ電極ドライバを制御する制御手段と、
を有することを特徴とするアクティブマトリクス型液晶
表示装置の駆動回路。

【請求項4】 前記走査電極ドライバは、 $2L$ ($2L = K < N + 1$) 個のドライバ出力を備え、
前記走査ラインの奇数番目に対しては、前記ドライバ出
力の奇数番目の出力を順に接続し、
前記走査ラインの偶数番目に対しては、前記ドライバ出
力の偶数番目の出力を1周期毎に2つずらしながら接続
することを特徴とする請求項3に記載のアクティブマト
リクス型液晶表示装置の駆動回路。

【請求項5】 前記走査電極ドライバは、 $2L + 1$ ($2L + 1 = K < N + 1$) 個のドライバ出力を備え、前記走
査ラインに対して、第*i*番目 ($i = 1 \sim N$) の走査ライ
ン及び第*i* + 1番目の走査ラインに $2L + 1$ 個のドライ
バ出力から異なる2出力の組み合わせ ($(2L + 1) \times$
 $2L / 2$ 個) の内、1つずつが接続されることを特徴と
する請求項3に記載のアクティブマトリクス型液晶表示
装置の駆動回路。

【請求項6】 画素電極を $M \times N$ (M, N は任意の正整
数) のマトリクス状に配置して成るアクティブマトリク
ス型液晶表示装置であって、
 $N + 1$ 本の走査ラインと、
 $M / 2$ 本のデータラインと、
を有し、

走査方向の第*i*番目 ($i = 1 \sim N$) の表示ライン上の奇
数番目の各画素電極において、制御端子を第*i* + 1番目
の走査ラインに、一方の端子を該画素電極に接続した第
2のTFTゲートと、
制御端子を第*i* + 2番目の走査ラインに、一方の端子を
データラインに、他方の端子を前記第2のTFTゲート
の他方の端子に接続した第1のTFTゲートと、
を有し、

走査方向の第*i*番目の表示ライン上の偶数番目の各画素
電極において、制御端子を第*i*番目の走査ラインに、一
方の端子を該画素電極に、他方の端子をデータラインに
接続した第3のTFTゲートを有することを特徴とする
アクティブマトリクス型液晶表示装置。

【請求項7】 画素電極を $M \times N$ (M, N は任意の正整
数) のマトリクス状に配置して成るアクティブマトリク
ス型液晶表示装置であって、
 $N + 1$ 本の走査ラインと、
 $M / 2 + 1$ 本のデータラインと、
を有し、

走査方向の第*i*番目 ($i = 1 \sim N$) の表示ライン上の偶
数番目の各画素電極において、制御端子を第*i* + 1番目
の走査ラインに、一方の端子を該画素電極に接続した第
2のTFTゲートと、
制御端子を第*i* + 2番目の走査ラインに、一方の端子を
データラインに、他方の端子を前記第2のTFTゲート

の他方の端子に接続した第1のTFTゲートと、

を有し、
走査方向の第*i*番目の表示ライン上の偶数番目の各画素
電極において、制御端子を第*i*番目の走査ラインに、一
方の端子を該画素電極に、他方の端子をデータラインに
接続した第3のTFTゲートを有することを特徴とする
アクティブマトリクス型液晶表示装置。

【請求項8】 前記第1のTFTトランジスタまたは第
2のTFTトランジスタは、走査ライン上に構成される
ことを特徴とする請求項6または7に記載のアクティブ
マトリクス型液晶表示装置。

【請求項9】 前記第3のTFTトランジスタと該画素
電極の間に、制御端子を第*i*番目の走査ラインに接続し
た第4のTFTゲートを有することを特徴とする請求項
6、7、または8に記載のアクティブマトリクス型液晶
表示装置。

【請求項10】 前記画素電極は、赤画素電極、緑画素
電極、或いは青画素電極であって、横方向に赤画素電
極、緑画素電極、及び青画素電極を順に配列して1カラ
ー画素を構成し、カラー表示することを特徴とする請求
項6、7、8、または9に記載のアクティブマトリクス型液晶
表示装置。

【請求項11】 請求項6、7、8、9、または10に
記載のアクティブマトリクス型液晶表示装置を駆動する
アクティブマトリクス型液晶表示装置の駆動回路であつ
て、

前記走査ラインを駆動する走査電極ドライバと、前記 M
 $/ 2$ または $M / 2 + 1$ 本のデータラインを駆動するデータ
電極ドライバと、

30 所定のタイミングで、前記第*i*番目の走査ライン及び第
i + 1番目の走査ラインに選択電圧を印加し、次のタイ
ミングで、前記第*i*番目の走査ラインに選択電圧を、前
記第*i* + 1番目の走査ラインに非選択電圧をそれぞれ印
加し、更に次のタイミングで、前記第*i*番目の走査ライ
ンに非選択電圧を印加するという一連の動作を、*i*の昇
順に繰り返すよう前記走査電極ドライバを制御する制御
手段とを有することを特徴とするアクティブマトリクス
型液晶表示装置の駆動回路。

【請求項12】 前記走査電極ドライバは、前記制御手
段の制御の下、当該走査電極ドライバの選択電圧入力の
切り換え、またはイネーブル制御により、前記偶数番目
或いは奇数番目の走査ラインを強制的に非選択電圧にす
るシフトレジスタを有することを特徴とする請求項11
に記載のアクティブマトリクス型液晶表示装置の駆動回
路。

【請求項13】 画素電極を $M \times 2N$ または $2N + 1$
(M, N は任意の正整数) のマトリクス状に配置して成
るアクティブマトリクス型液晶表示装置であって、
 $3N$ または $3N + 2$ 本の走査ラインと、
50 $M / 2$ または $M / 2 + 1$ 本のデータラインと、

を有し、

走査方向の第 i 番目 ($i = 1 \sim 2N$ または $2N+1$ の奇数) の表示ライン上の偶数番目または奇数番目の各画素電極において、制御端子を第 x 番目の走査ラインに、一方の端子を該画素電極に、他方の端子をデータラインに接続した第 1 の TFT ゲートと、

走査方向の第 i 番目の表示ライン上の奇数番目または偶数番目の各画素電極において、制御端子を第 $x+1$ 番目の走査ラインに、一方の端子を該画素電極に、他方の端子を前記第 1 の TFT ゲートの一方の端子に接続した第 2 の TFT ゲートと、

走査方向の第 $i+1$ 番目の表示ライン上の偶数番目または奇数番目の各画素電極において、制御端子を第 $x+2$ 番目の走査ラインに、一方の端子を該画素電極に、他方の端子をデータラインに接続した第 3 の TFT ゲートと、

走査方向の第 $i+1$ 番目の表示ライン上の奇数番目または偶数番目の各画素電極において、制御端子を第 $x+1$ 番目の走査ラインに、一方の端子を該画素電極に、他方の端子を前記第 3 の TFT ゲートの一方の端子に接続した第 4 の TFT ゲートと、

を有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 14】 画素電極を $M \times 2N$ または $2N+1$ (M, N は任意の正整数) のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、
 $3N$ または $3N+2$ 本の走査ラインと、
 $M/2$ または $M/2+1$ 本のデータラインと、

を有し、

走査方向の第 i 番目 ($i = 1 \sim 2N$ または $2N+1$ の奇数) の表示ライン上の偶数番目または奇数番目の各画素電極において、制御端子を第 x 番目の走査ラインに、一方の端子を該画素電極に、他方の端子をデータラインに接続した第 1 の TFT ゲートと、

走査方向の第 i 番目の表示ライン上の奇数番目または偶数番目の各画素電極において、制御端子を第 $x+1$ 番目の走査ラインに、一方の端子を該画素電極に、他方の端子を前記第 1 の TFT ゲートの一方の端子に接続した第 2 の TFT ゲートと、

走査方向の第 $i+1$ 番目の表示ライン上の偶数番目または奇数番目の各画素電極において、制御端子を第 $x+1$ 番目の走査ラインに、一方の端子を該画素電極に、他方の端子をデータラインに接続した第 3 の TFT ゲートと、

走査方向の第 $i+1$ 番目の表示ライン上の奇数番目または偶数番目の各画素電極において、制御端子を第 $x+2$ 番目の走査ラインに、一方の端子を該画素電極に、他方の端子を前記第 3 の TFT ゲートの一方の端子に接続した第 4 の TFT ゲートと、

を有することを特徴とするアクティブマトリクス型液晶

表示装置。

【請求項 15】 画素電極を $M \times 2N$ または $2N+1$ (M, N は任意の正整数) のマトリクス上に配置して成るアクティブマトリクス型液晶表示装置であって、
 $3N$ または $3N+2$ 本の走査ラインと、
 $M/2$ 本のデータラインと、

を有し、

走査方向の第 i 番目 ($i = 1 \sim 2N$ または $2N+1$ の奇数) の表示ライン上の奇数番目の各画素電極において、

10 制御端子を第 x 番目の走査ラインに、一方の端子を該画素電極に、他方の端子をデータラインに接続した第 1 の TFT ゲートと、

走査方向の第 i 番目の表示ライン上の偶数番目の各画素電極において、制御端子を第 $x+1$ 番目の走査ラインに、一方の端子を該画素電極に、他方の端子を前記奇数番目の画素電極に接続した第 2 の TFT ゲートと、

走査方向の第 $i+1$ 番目の表示ライン上の奇数番目の各画素電極において、制御端子を第 $x+2$ 番目の走査ラインに、一方の端子を該画素電極に、他方の端子をデータ

20 ラインに接続した第 3 の TFT ゲートと、
走査方向の第 $i+1$ 番目の表示ライン上の偶数番目の各画素電極において、制御端子を第 $x+1$ 番目の走査ラインに、一方の端子を該画素電極に接続した第 4 の TFT ゲートと、

を有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 16】 画素電極を $M \times 2N$ または $2N+1$ (M, N は任意の正整数) のマトリクス上に配置して成るアクティブマトリクス型液晶表示装置であって、
 $3N$ または $3N+2$ 本の走査ラインと、
 $M/2$ 本のデータラインと、

を有し、

走査方向の第 i 番目 ($i = 1 \sim 2N$ または $2N+1$ の奇数) の表示ライン上の奇数番目の各画素電極において、制御端子を第 x 番目の走査ラインに、一方の端子を該画素電極に、他方の端子をデータラインに接続した第 1 の TFT ゲートと、

走査方向の第 i 番目の表示ライン上の偶数番目の各画素電極において、制御端子を第 $x+1$ 番目の走査ラインに、一方の端子を該画素電極に、他方の端子を前記奇数番目の画素電極に接続した第 2 の TFT ゲートと、

走査方向の第 $i+1$ 番目の表示ライン上の奇数番目の各画素電極において、制御端子を第 $x+1$ 番目の走査ラインに、一方の端子を該画素電極に、他方の端子をデータ

40 ラインに接続した第 3 の TFT ゲートと、
走査方向の第 $i+1$ 番目の表示ライン上の偶数番目の各画素電極において、制御端子を第 $x+2$ 番目の走査ラインに、一方の端子を該画素電極に接続した第 4 の TFT ゲートと、

走査方向の第 $i+1$ 番目の表示ライン上の偶数番目の各画素電極において、制御端子を第 $x+2$ 番目の走査ラインに、一方の端子を該画素電極に接続した第 4 の TFT ゲートと、

50 を有することを特徴とするアクティブマトリクス型液晶

表示装置。

【請求項17】前記第1、第2、第3及びまたは第4のTFTゲートは、複数個のTFTゲートを並列接続して構成されることを特徴とする請求項13、14、15、または16に記載のアクティブマトリクス型液晶表示装置。

【請求項18】前記画素電極は、赤画素電極、緑画素電極、或いは青画素電極であって、横方向に赤画素電極、緑画素電極、及び青画素電極を順に配列して1カラーパターンを構成し、カラー表示することを特徴とする請求項13、14、15、16、または17に記載のアクティブマトリクス型液晶表示装置。

【請求項19】請求項13、14、15、16、17、または18に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、

前記走査ラインを駆動する走査電極ドライバと、前記データラインを駆動するデータ電極ドライバと、前記第x番目(表示ラインを第1番目とし、xは3i/2以下の最大の整数)の走査ライン及び第x+1番目の走査ラインの双方が同時に選択された第i番目の表示ライン上の画素電極に表示データを印加するよう前記データ電極ドライバを制御する制御手段と、を有することを特徴とするアクティブマトリクス型液晶表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はTFT(薄膜トランジスタ)アレイからなるアクティブマトリクス型液晶表示装置に係り、特に、データ電極側の駆動回路数を減少させることにより低コストを図り、また回路とパネル端子電極の接続が容易で、接続の歩留りを向上させたアクティブマトリクス型液晶表示装置に関する。

【0002】近年のコンピュータの普及に伴って、コンピュータシステムの小型化が進み、その表示装置に対しては省消費電力、薄型、軽量という要求が生じてきており、これらの要求を満たすために、画質の優れたアクティブマトリクス型カラー液晶表示装置が製品化されている。また今後は、高精細のカラー液晶表示装置が要求されることが予想できる。

【0003】

【従来の技術】従来のアクティブマトリクス型液晶表示装置の構成図を図30に示す。

【0004】従来のアクティブマトリクス型液晶表示装置では、例えば 640×400 ドットの表示容量を実現するために、ドット数分の画素電極(液晶セル)と、TFTゲートTとで表示パネル101を構成し、走査ライン8の行数分の出力ドライバを備える走査電極ドライバ104と、データライン6の列数分の出力ドライバを備えるデータ電極ドライバ102とを具備している。

【0005】ある走査ライン8-iに選択電圧を印加することにより、その行のTFTゲートTを導通状態にして、その行の画素電極にデータライン6によりそれぞれのデータ電極の電圧を印加して電圧に応じた表示を実現する。

【0006】この従来のアクティブマトリクス型液晶表示装置で階調表示を実現する場合には、液晶セルに対して階調に対応した電圧レベルを印加するために、データ電極ドライバ102は複数レベルの電圧を出力できる構成である必要がある。このため、2レベルの電圧出力である走査電極ドライバ104に比べてデータ電極ドライバ102は高価となり、表示可能な階調数に応じてコストが増すこととなる。

【0007】また、この従来のアクティブマトリクス型液晶表示装置を、カラー表示で高精細なアクティブマトリクス型液晶表示装置として構成した場合には、表示ラインが、例えばデータ側で $1120 \times 3 = 3360$ 本、走査側で780本と、標準のデータ側: $640 \times 3 = 1920$ 本、走査側: 780本に比べて非常に多くなり、駆動回路数の増大に伴う回路コストが高くなること、並びに、回路とパネル電極の接続ピッチが、特にデータ側で標準: 0.2mmに比べて高精細: 0.1mmと小さくなり、接続の歩留りが低下すること等の問題がある。

【0008】

【発明が解決しようとする課題】上述のように、従来のアクティブマトリクス型液晶表示装置では、

(1) 階調表示を実現する場合には、液晶セルに対して階調に対応した電圧レベルを印加するために、走査電極ドライバに比べてデータ電極ドライバは高価となり、表示可能な階調数に応じてコストが増す、

(2) カラー表示で高精細なアクティブマトリクス型液晶表示装置として構成した場合には、表示ラインが非常に多くなり、駆動回路数の増大に伴う回路コストが高くなり、また、回路とパネル電極の接続ピッチが小さくなり、接続の歩留りが低下する、という問題があった。

【0009】本発明は、上記問題点を解決するもので、

(1) データ電極側または走査電極側の駆動回路数を減少させることにより低コストを図った、

(2) 駆動回路とパネル電極の接続ピッチを大きくすることにより、回路とパネル端子電極の接続を容易とし、接続の歩留りを向上させた、アクティブマトリクス型液晶表示装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上記課題を解決するため、本発明の第1の特徴のアクティブマトリクス型液晶表示装置は、図3に示す如く、画素電極をM×N(M、Nは任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、N+1本の走査ライン8-1~8-N+1と、M本のデータライン

50 6-1~6-Mとを有し、走査方向の第i番目(i=1

～N) の表示ライン上の各画素電極 1 (i, j) (j = 1～M) において、制御端子を第 i 番目の走査ライン 8 - i に、一方の端子をデータライン 6 - j に接続した第 1 の TFT ゲート Q1 と、制御端子を第 i + 1 番目の走査ライン 8 - i + 1 に、一方の端子を該画素電極 1 (i, j) に、他方の端子を前記第 1 の TFT ゲート Q1 の他方の端子に接続した第 2 の TFT ゲート Q2 とを有して構成する。

【0011】本発明の第 2 の特徴のアクティブマトリクス型液晶表示装置は、請求項 1 に記載のアクティブマトリクス型液晶表示装置において、前記画素電極 1 (i, j) (i = 1～N, j = 1～M) は、赤画素電極 R、緑画素電極 G、或いは青画素電極 B であって、横方向に赤画素電極 R、緑画素電極 G、及び青画素電極 B を順に配列して 1 カラー画素を構成し、カラー表示する。

【0012】また、本発明の第 1 の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、図 23 または図 25 に示す如く、請求項 1 または 2 に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、K (K < N + 1) 個のドライバ出力を備えて前記走査ライン 8 - 1 ～ 8 - N + 1 を駆動する走査電極ドライバ 4 と、M 本のデータライン 6 - 1 ～ 6 - M を駆動するデータ電極ドライバ 2 と、前記第 i 番目 (i = 1～N) の走査ライン 8 - i 及び第 i + 1 番目の走査ライン 8 - i + 1 の双方により同時に選択された第 i 番目の表示ライン上の画素電極 1 (i, j) (j = 1～M) に表示データを印加するよう前記データ電極ドライバ 2 を制御する制御手段 16 を有して構成する。

【0013】本発明の第 2 の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、図 23 に示す如く、請求項 3 に記載のアクティブマトリクス型液晶表示装置の駆動回路において、前記走査電極ドライバ 4 は、2L (2L = K < N + 1) 個のドライバ出力 O1, E1, O2, E2, …, OL, EL を備え、前記走査ライン 8 - 1 ～ 8 - N + 1 の奇数番目に対しては、前記ドライバ出力の奇数番目の出力 O1, O2, …, OL を順に接続し、前記走査ライン 8 - 1 ～ 8 - N + 1 の偶数番目に対しては、前記ドライバ出力の偶数番目の出力 E1, E2, …, EL を 1 周期毎に 2 つずらしながら (E1, E2, …, EL, E3, …, EL, E5, …) 接続する。

【0014】本発明の第 3 の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、請求項 3 に記載のアクティブマトリクス型液晶表示装置の駆動回路において、図 25 に示す如く、前記走査電極ドライバ 4 は、2L + 1 (2L + 1 = K < N + 1) 個のドライバ出力を備え、前記走査ライン 8 - 1 ～ 8 - N + 1 に対して、第 i 番目 (i = 1～N) の走査ライン 8 - i 及び第 i + 1 番目の走査ライン 8 - i + 1 に 2L + 1 個のドライバ出力から異なる 2 出力の組み合わせ ((2L + 1) × 2L / 2

個) の内、1 つずつが接続される。

【0015】本発明の第 3 の特徴のアクティブマトリクス型液晶表示装置は、図 5 (1) に示す如く、画素電極を M × N (M, N は任意の正整数) のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であつて、N + 1 本の走査ライン 8 - 1 ～ 8 - N + 1 と、M / 2 本のデータライン 6 - 1 ～ 6 - M / 2 を有し、走査方向の第 i 番目 (i = 1～N) の表示ライン上の奇数番目の各画素電極 1 (i, k) (k = 1～M の奇数) において、制御端子を第 i + 1 番目の走査ライン 8 - i + 1 に、一方の端子を該画素電極 1 (i, k) に接続した第 2 の TFT ゲート P2 と、制御端子を第 i + 2 番目の走査ライン 8 - i + 2 に、一方の端子をデータライン 6 - j (j は k / 2 + 1 以下の最大の整数) に、他方の端子を前記第 2 の TFT ゲート P2 の他方の端子に接続した第 1 の TFT ゲート P1 とを有し、走査方向の第 i 番目の表示ライン上の偶数番目の各画素電極 1 (i, k + 1) において、制御端子を第 i 番目の走査ライン 8 - i に、一方の端子を該画素電極 1 (i, k + 1) に、他方の端子をデータライン 6 - j に接続した第 3 の TFT ゲート P3 を有して構成する。

【0016】本発明の第 4 の特徴のアクティブマトリクス型液晶表示装置は、図 5 (1) に示す如く、画素電極を M × N (M, N は任意の正整数) のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であつて、N + 1 本の走査ライン 8 - 1 ～ 8 - N + 1 と、M / 2 + 1 本のデータライン 6 - 1 ～ 6 - M / 2 + 1 を有し、走査方向の第 i 番目 (i = 1～N) の表示ライン上の偶数番目の各画素電極 1 (i, h) (h = 1～M の偶数) において、制御端子を第 i + 1 番目の走査ライン 8 - i + 1 に、一方の端子を該画素電極 1 (i, h) に接続した第 2 の TFT ゲート P2 と、制御端子を第 i + 2 番目の走査ライン 8 - i + 2 に、一方の端子をデータライン 6 - j (j = h / 2 + 1) に、他方の端子を前記第 2 の TFT ゲート P2 の他方の端子に接続した第 1 の TFT ゲート P1 とを有し、走査方向の第 i 番目の表示ライン上の偶数番目の各画素電極 1 (i, h + 1) において、制御端子を第 i 番目の走査ライン 8 - i に、一方の端子を該画素電極 1 (i, h + 1) に、他方の端子をデータライン 6 - j に接続した第 3 の TFT ゲート P3 を有して構成する。

【0017】本発明の第 5 の特徴のアクティブマトリクス型液晶表示装置は、請求項 6 または 7 に記載のアクティブマトリクス型液晶表示装置において、図 5 (2) に示す如く、前記第 1 の TFT トランジスタ P1 または第 2 の TFT トランジスタ P2 は、走査ライン 8 - i 上に構成される。

【0018】本発明の第 6 の特徴のアクティブマトリクス型液晶表示装置は、請求項 6、7、または 8 に記載のアクティブマトリクス型液晶表示装置において、図 5

(3) に示す如く、前記第3のTFTトランジスタP3と該画素電極1(i, k+1)または1(i, h+1)の間に、制御端子を第i番目の走査ライン8-iに接続した第4のTFTゲートP4を有して構成する。

【0019】本発明の第7の特徴のアクティブマトリクス型液晶表示装置は、請求項6、7、8、または9に記載のアクティブマトリクス型液晶表示装置において、前記画素電極1(i, j)(i=1~N, j=1~M)は、赤画素電極R、緑画素電極G、或いは青画素電極Bであって、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成し、カラー表示する。

【0020】また、本発明の第4の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、図27に示す如く、請求項6、7、8、9、または10に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、前記走査ライン8-1~8-N+1を駆動する走査電極ドライバ4及び5と、前記M/2またはM/2+1本のデータライン6-1~6-M/2または6-M/2+1を駆動するデータ電極ドライバ2と、所定のタイミングで、前記第i番目の走査ライン8-i及び第i+1番目の走査ライン8-i+1に選択電圧を印加し、次のタイミングで、前記第i番目の走査ライン8-iに選択電圧を、前記第i+1番目の走査ライン8-i+1に非選択電圧をそれぞれ印加し、更に次のタイミングで、前記第i番目の走査ライン8-iに非選択電圧を印加するという一連の動作を、iの昇順に繰り返すよう前記走査電極ドライバ4及び5を制御する制御手段16とを有して構成する。

【0021】本発明の第5の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、請求項11に記載のアクティブマトリクス型液晶表示装置の駆動回路において、図27に示す如く、前記走査電極ドライバ4及び5は、前記制御手段16の制御の下、当該走査電極ドライバ4及び5の選択電圧入力の切り換え、またはイネーブル制御により、前記偶数番目或いは奇数番目の走査ライン8-iを強制的に非選択電圧にするシフトレジスタを有して構成する。

【0022】また、本発明の第8の特徴のアクティブマトリクス型液晶表示装置は、図7(1)に示す如く、画素電極をM×2Nまたは2N+1(M, Nは任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、3Nまたは3N+2本の走査ライン8-1~8-3Nまたは3N+2と、M/2またはM/2+1本のデータライン6-1~6-M/2またはM/2+1とを有し、走査方向の第i番目(i=1~2Nまたは2N+1の奇数)の表示ライン上の偶数番目または奇数番目の各画素電極1(i, k+1)または1(i, h+1)(k=1~Mの奇数、h=1~Mの偶数)において、制御端子を第x番目の走査ライン8-x(xは3i/2以下の最大の整数)に、一方の端子を該画素電極1(i, k+1)または1(i, h+1)に、他方の端子をデータライン6-j(jはk/2+1以下の最大の整数、またはj=h/2+1)に接続した第1のTFTゲートF1と、走査方向の第i番目の表示ライン上の奇数番目または偶数番目の各画素電極1(i, k)または1(i, h)において、制御端子を第x+1番目の走査ライン8-x+1に、一方の端子を該画素電極1(i, k)または1(i, h)に、他方の端子を前記第1のTFTゲートF1の一方の端子に接続した第2のTFTゲートF2と、走査方向の第i+1番目の表示

数)において、制御端子を第x番目の走査ライン8-x(xは3i/2以下の最大の整数)に、一方の端子を該画素電極1(i, k+1)または1(i, h+1)に、他方の端子をデータライン6-j(jはk/2+1以下の最大の整数、またはj=h/2+1)に接続した第1のTFTゲートF1と、走査方向の第i番目の表示ライン上の奇数番目または偶数番目の各画素電極1(i, k)または1(i, h)において、制御端子を第x+1番目の走査ライン8-x+1に、一方の端子を該画素電極1(i, k)または1(i, h)に、他方の端子を前記第1のTFTゲートF1の一方の端子に接続した第2のTFTゲートF2と、走査方向の第i+1番目の表示ライン上の偶数番目または奇数番目の各画素電極1(i+1, k+1)または1(i+1, h+1)において、制御端子を第x+2番目の走査ライン8-x+2に、一方の端子を該画素電極1(i+1, k+1)または1(i+1, h+1)に、他方の端子をデータライン6-jに接続した第3のTFTゲートF3と、走査方向の第i+1番目の表示ライン上の奇数番目または偶数番目の各画素電極1(i+1, k)または1(i+1, h)において、制御端子を第x+1番目の走査ライン8-x+1に、一方の端子を該画素電極1(i+1, k)または1(i+1, h)に、他方の端子を前記第3のTFTゲートF3の一方の端子に接続した第4のTFTゲートF4とを有して構成する。

【0023】また、本発明の第9の特徴のアクティブマトリクス型液晶表示装置は、図8(1)に示す如く、画素電極をM×2Nまたは2N+1(M, Nは任意の正整数)のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、3Nまたは3N+2本の走査ライン8-1~8-3Nまたは3N+2と、M/2またはM/2+1本のデータライン6-1~6-M/2またはM/2+1とを有し、走査方向の第i番目(i=1~2Nまたは2N+1の奇数)の表示ライン上の偶数番目または奇数番目の各画素電極1(i, k+1)または1(i, h+1)(k=1~Mの奇数、h=1~Mの偶数)において、制御端子を第x番目の走査ライン8-x(xは3i/2以下の最大の整数)に、一方の端子を該画素電極1(i, k+1)または1(i, h+1)に、他方の端子をデータライン6-j(jはk/2+1以下の最大の整数、またはj=h/2+1)に接続した第1のTFTゲートF1と、走査方向の第i番目の表示ライン上の奇数番目または偶数番目の各画素電極1(i, k)または1(i, h)において、制御端子を第x+1番目の走査ライン8-x+1に、一方の端子を該画素電極1(i, k)または1(i, h)に、他方の端子を前記第1のTFTゲートF1の一方の端子に接続した第2のTFTゲートF2と、走査方向の第i+1番目の表示ライン上の偶数番目または奇数番目の各画素電極1(i+1, k+1)または1(i+1, h+1)において、

13

制御端子を第 $x+1$ 番目の走査ライン $8-x+1$ に、一方の端子を該画素電極1 ($i+1, k+1$) または1 ($i+1, h+1$) に、他方の端子をデータライン $6-j$ に接続した第3のTFTゲートF3と、走査方向の第 $i+1$ 番目の表示ライン上の奇数番目または偶数番目の各画素電極1 ($i+1, k$) または1 ($i+1, h$) に、他方の端子を前記第3のTFTゲートF3の一方の端子に接続した第4のTFTゲートF4とを有して構成する。

【0024】本発明の第10の特徴のアクティブマトリクス型液晶表示装置は、図9(1)に示す如く、画素電極を $M \times 2N$ または $2N+1$ (M, N は任意の正整数) のマトリクス状に配置して成るアクティブマトリクス型液晶表示装置であって、 $3N$ または $3N+2$ 本の走査ライン $8-1 \sim 8-3N+3N+2$ と、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ とを有し、走査方向の第 i 番目 ($i=1 \sim 2N$ または $2N+1$ の奇数) の表示ライン上の奇数番目の各画素電極1 (i, k) ($k=1 \sim M$ の偶数) において、制御端子を第 x 番目の走査ライン $8-x$ に、一方の端子を該画素電極1 (i, k) に、他方の端子をデータライン $6-j$ (j は $k/2+1$ 以下の最大の整数) に接続した第1のTFTゲートF1と、走査方向の第 i 番目の表示ライン上の偶数番目の各画素電極1 ($i, k+1$) において、制御端子を第 $x+1$ 番目の走査ライン $8-x+1$ に、一方の端子を該画素電極1 ($i, k+1$) に、他方の端子を前記奇数番目の画素電極1 (i, k) に接続した第2のTFTゲートF2と、走査方向の第 $i+1$ 番目の表示ライン上の奇数番目の各画素電極1 ($i+1, k$) において、制御端子を第 $x+2$ 番目の走査ライン $8-x+2$ に、一方の端子を該画素電極1 ($i+1, k$) に、他方の端子を前記奇数番目の画素電極1 ($i+1, k$) に接続した第4のTFTゲートF4とを有して構成する。

14

ータライン $6-j$ (j は $k/2+1$ 以下の最大の整数) に接続した第1のTFTゲートF1と、走査方向の第 i 番目の表示ライン上の偶数番目の各画素電極1 ($i, k+1$) において、制御端子を第 $x+1$ 番目の走査ライン $8-x+1$ に、一方の端子を該画素電極1 ($i, k+1$) に、他方の端子を前記奇数番目の画素電極1 (i, k) に接続した第2のTFTゲートF2と、走査方向の第 i 番目の表示ライン上の奇数番目の各画素電極1 ($i+1, k$) において、制御端子を第 $x+1$ 番目の走査

10 ライン $8-x+1$ に、一方の端子を該画素電極1 ($i+1, k$) に、他方の端子をデータライン $6-j$ に接続した第3のTFTゲートF3と、走査方向の第 $i+1$ 番目の表示ライン上の偶数番目の各画素電極1 ($i+1, k+1$) において、制御端子を第 $x+2$ 番目の走査ライン $8-x+2$ に、一方の端子を該画素電極1 ($i+1, k+1$) に、他方の端子を前記奇数番目の画素電極1 ($i+1, k+1$) に接続した第4のTFTゲートF4とを有して構成する。

【0026】本発明の第12の特徴のアクティブマトリクス型液晶表示装置は、請求項13、14、15、または16に記載のアクティブマトリクス型液晶表示装置において、図11(1)に示す如く、前記第1、第2、第3及びまたは第4のTFTゲートF1、F2、F3、及びまたはF4は、複数個のTFTゲートを並列接続して構成される。

【0027】本発明の第13の特徴のアクティブマトリクス型液晶表示装置は、請求項13、14、15、16、または17に記載のアクティブマトリクス型液晶表示装置において、前記画素電極1 (i, j) ($i=1 \sim 2N$ または $2N+1, j=1 \sim M$) は、赤画素電極R、緑画素電極G、或いは青画素電極Bであって、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成し、カラー表示する。

【0028】更に、本発明の第6の特徴のアクティブマトリクス型液晶表示装置の駆動回路は、図29に示す如く、請求項13、14、15、16、17、または18に記載のアクティブマトリクス型液晶表示装置を駆動するアクティブマトリクス型液晶表示装置の駆動回路であって、前記走査ライン $8-1 \sim 8-3N$ または $3N+2$ を駆動する走査電極ドライバ4と、前記データライン $6-1 \sim 6-M/2$ または $M/2+1$ を駆動するデータ電極ドライバ2と、前記第 x 番目 (表示ラインを第 i 番目とすれば; x は $2i/2$ 以下の最大の整数) の走査ライン $8-x$ 及び第 $x+1$ 番目の走査ライン $8-x+1$ の双方により同時に選択された第 i 番目の表示ライン上の画素電極1 (i, j) ($j=1 \sim M$) に表示データを印加するよう前記データ電極ドライバ2を制御する制御手段16とを有して構成する。

【0029】

50 【作用】本発明の第1及び第2の特徴のアクティブマト

リクス型液晶表示装置では、図3に示す如く、画素電極を $M \times N$ (M, N は任意の正整数) のマトリクス状に配置して、 $N+1$ 本の走査ライン $8-1 \sim 8-N+1$ の内、走査方向の1表示ラインに対して2本ずつ割り当て、各表示ラインにおいて、 M 本のデータライン $6-1 \sim 6-M$ の内、任意のデータライン $6-j$ に第1のTFTゲートQ1及び第2のTFTゲートQ2を直列に接続すると共に、各TFTゲートQ1及びQ2をそれぞれ1表示ラインに対して割り当てられた2本の走査ライン $8-i$ 及び走査ライン $8-i+1$ に独立に接続して、1個の表示画素を構成し、カラー表示を行なう場合には、画素電極 $1(i, j)$ ($i=1 \sim N, j=1 \sim M$) として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成する。

【0030】本発明の第1及び第2の特徴のアクティブマトリクス型液晶表示装置の駆動回路では、図23に示す如く、走査電極ドライバ4は、 $2L$ ($2L = K < N+1$) 個のドライバ出力 $O_1, E_1, O_2, E_2, \dots, O_L, E_L$ を備え、走査ライン $8-1 \sim 8-N+1$ の奇数番目に対しては、ドライバ出力の奇数番目の出力 O_1, O_2, \dots, O_L を順に接続し、走査ライン $8-1 \sim 8-N+1$ の偶数番目に対しては、ドライバ出力の偶数番目の出力 E_1, E_2, \dots, E_L を1周期毎に2つずらしながら ($E_1, E_2, \dots, E_L, E_3, \dots, E_L, E_5, \dots$) 接続し、制御手段16により、第*i*番目 ($i=1 \sim N$) の走査ライン $8-i$ 及び第*i+1*番目の走査ライン $8-i+1$ の双方が同時に選択された第*i*番目の表示ライン上の画素電極 $1(i, j)$ ($j=1 \sim M$) に表示データを印加するようデータ電極ドライバ2を制御する。

【0031】従って、 N 本の表示ラインに対して $2 \times (\sqrt{N})$ 個のドライバ出力を備える走査電極ドライバ4を構成すればよく、ドライバ出力数を大幅に低減でき、アクティブマトリクス型液晶表示装置の低コスト化が実現できる。

【0032】本発明の第1及び第3の特徴のアクティブマトリクス型液晶表示装置の駆動回路では、図25に示す如く、走査電極ドライバ4は、 $2L+1$ ($2L+1 = K < N+1$) 個のドライバ出力を備え、走査ライン $8-1 \sim 8-N+1$ に対して、第*i*番目 ($i=1 \sim N$) の走査ライン $8-i$ 及び第*i+1*番目の走査ライン $8-i+1$ に $2L+1$ 個のドライバ出力から異なる2出力の組み合わせ ($(2L+1) \times 2L/2$ 個) の内、1つずつを接続し、制御手段16により、第*i*番目 ($i=1 \sim N$) の走査ライン $8-i$ 及び第*i+1*番目の走査ライン $8-i+1$ の双方が同時に選択された第*i*番目の表示ライン上の画素電極 $1(i, j)$ ($j=1 \sim M$) に表示データを印加するようデータ電極ドライバ2を制御する。

【0033】従って、 $2L+1$ 個のドライバ出力を備える走査電極ドライバ4により、 $(2L+1) \times L$ 本の表示ラインを駆動することができ、ドライバ出力数を大幅

に低減できるので、アクティブマトリクス型液晶表示装置の低コスト化が実現できる。

【0034】本発明の第3及び第4の特徴のアクティブマトリクス型液晶表示装置では、図5(1)に示す如く、画素電極を $M \times N$ (M, N は任意の正整数) のマトリクス状に配置して、 $N+1$ 本の走査ライン $8-1 \sim 8-N+1$ の内、走査方向の1表示ラインに対して走査ラインを2本ずつ割り当て、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ の内、任意のデータライン $6-j$ に接続される第1のTFTゲートP1及び第2のTFTゲートP2を、1表示ラインに対して割り当てられた2本の走査ライン $8-i$ 及び $8-i+1$ ($i=1 \sim N$) に独立に接続し、またデータライン $6-j$ に接続される第3のTFTゲートP3を、走査ライン $8-i$ に独立に接続して、2個の表示画素を構成すると共に、第2のTFTゲートP2を第*i*番目の走査ライン $8-i$ に、第1のTFTゲートP1を第*i+1*番目の走査ライン $8-i+1$ にそれぞれ接続する。

【0035】本発明の第5の特徴のアクティブマトリクス型液晶表示装置では、図5(2)に示す如く、第3または第4の特徴のアクティブマトリクス型液晶表示装置において、第1のTFTトランジスタP1または第2のTFTトランジスタP2を、走査ライン $8-i$ 上に構成する。この構成でもデータライン $6-1 \sim 6-M/2$ に印加する電圧のタイミングが多少異なるのみで、同様の動作が行なえ、更にTFTゲートを構成する面積を小さくすることができ、画素電極を大きくとることができる。

【0036】本発明の第6の特徴のアクティブマトリクス型液晶表示装置では、図5(3)に示す如く、第3、第4、または第5の特徴のアクティブマトリクス型液晶表示装置において、第3のTFTトランジスタP3と画素電極 $1(i, k+1)$ または $1(i, h+1)$ の間に、制御端子を第*i*番目の走査ライン $8-i$ に接続した第4のTFTゲートP4を構成する。これにより、全ての画素電極に対して2つのTFTゲートが接続されることになり、書き込みの特性を均一にすることができる。

【0037】第3、第4、第5、または第6の特徴のアクティブマトリクス型液晶表示装置において、カラー表示を行なう場合には、画素電極 $1(i, j)$ ($i=1 \sim N, j=1 \sim M$) として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成する。

【0038】また、本発明の第3、第4、第5、第6、または第7の特徴のアクティブマトリクス型液晶表示装置、並びに第4及び第5の特徴のアクティブマトリクス型液晶表示装置の駆動回路では、図27に示す如く、制御手段16により、所定のタイミングで、第*i*番目の走査ライン $8-i$ 及び第*i+1*番目の走査ライン $8-i+1$ に選択電圧を印加し、次のタイミングで、第*i*番目の

走査ライン $8-i$ に選択電圧を、第 $i+1$ 番目の走査ライン $8-i+1$ に非選択電圧をそれぞれ印加し、更に次のタイミングで、第 i 番目の走査ライン $8-i$ に非選択電圧を印加するという一連の動作を、 i の昇順に繰り返すよう走査電極ドライバ4及び5を制御する。尚、走査電極ドライバ4及び5はシフトレジスタによって構成し、制御手段16の制御の下、走査電極ドライバ4及び5の選択電圧入力の切り換え、またはイネーブル制御により、偶数番目或いは奇数番目の走査ライン $8-i$ を強制的に非選択電圧にする。

【0039】つまり、図6に示す如く、第 i 番目の走査ライン $8-i$ 及び第 $i+1$ 番目の走査ライン $8-i+1$ に選択電圧を印加することにより、第1～第3のTFTゲートP1～P3は全て導通状態となり、この時データライン $6-1 \sim 6-M/2$ には、奇数番目の画素電極に対応した奇数ラインデータが印加される。次に、第 i 番目の走査ライン $8-i$ に選択電圧を、第 $i+1$ 番目の走査ライン $8-i+1$ に非選択電圧をそれぞれ印加することにより、第2のTFTゲートP2は非導通状態となり、これに接続された画素電極の電圧は液晶セルの容量によって保持される。この時、第3のTFTゲートP3は導通状態を保っており、ここでデータライン $6-1 \sim 6-M/2$ には、偶数番目の画素電極に対応した偶数ラインデータが印加されているので、この電圧が新たに画素電極に印加される。次に、第 i 番目の走査ライン $8-i$ に非選択電圧を印加することにより、第1及び第2のTFTゲートP1及びP3は非導通状態となり、第3のTFTゲートに接続された画素電極の電圧はその画素の液晶セルの容量によりやはり保持され、次の書き込みまで液晶セルの印加電圧が保たれる。

【0040】以上のように、表示ライン上の2個の画素電極がTFTゲートP1～P3またはP1～P4を介して1本のデータライン $6-j$ に接続されており、データラインを従来の半分とし、データ電極ドライバ2のドライバ出力数も半分にすることができ、回路コストを低減することができる。

【0041】また、本発明の第8の特徴のアクティブマトリクス型液晶表示装置では、図7(1)に示す如く、画素電極を $M \times 2N$ または $2N+1$ (M, N は任意の正整数)のマトリクス状に配置して、 $3N$ または $3N+2$ 本の走査ライン $8-1 \sim 8-3N$ または $3N+2$ の内、走査方向の第 i 番目($i=1 \sim 2N$ または $2N+1$ の奇数)の表示ラインに対して走査ライン $8-x$ 及び $8-x+1$ (x は $3i/2$ 以下の最大の整数)を割り当て、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ の内、任意のデータライン $6-j$ に接続される第1のTFTゲートF1及び第2のTFTゲートF2を、それぞれ走査ライン $8-x$ 及び $8-x+1$ に独立に接続して、また、走査方向の第 $i+1$ 番目の表示ラインに対して走査ライン $8-x+1$ 及び $8-x+2$ を割り当て、任意のデータライン $6-j$ に接続される第3のTFTゲートF3及び第4のTFTゲートF4を、それぞれ走査ライン $8-x+1$ 及び $8-x+2$ に独立に接続し、4個の表示画素を構成する。

$-j$ に接続される第3のTFTゲートF3及び第4のTFTゲートF4を、それぞれ走査ライン $8-x+2$ 及び $8-x+1$ に独立に接続して、4個の表示画素を構成する。

- 【0042】図7(2)に示す如く、先ず、走査ライン $8-x$ 及び $8-x+1$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの奇数ラインデータを印加し、第 i 番目の表示ラインの奇数番目の画素電極 $1(i, k)$ に映像信号が印加される。
10 次に、走査ライン $8-x+1$ 及び $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極 $1(i+1, k)$ に映像信号が印加される。次に、走査ライン $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの偶数ラインデータを印加し、第 $i+1$ 番目の表示ラインの偶数番目の画素電極 $1(i+1, k+1)$ に映像信号が印加される。更に、走査ライン $8-i$ を選択電圧とすると共に、
20 データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの偶数ラインデータを印加し、第 i 番目の表示ラインの偶数番目の画素電極 $1(i, k+1)$ に映像信号が印加される。

【0043】従って、表示ライン上の4個の画素電極がTFTゲートF1～F4を介して1本のデータライン $6-j$ に接続されており、データラインを従来の半分とし、データ電極ドライバ2のドライバ出力数も半分にすることができ、回路コストを低減することができる。

- 【0044】本発明の第9の特徴のアクティブマトリクス型液晶表示装置では、図8(1)に示す如く、画素電極を $M \times 2N$ または $2N+1$ (M, N は任意の正整数)のマトリクス状に配置して、 $3N$ または $3N+2$ の走査ライン $8-1 \sim 8-3N$ または $3N+2$ の内、走査方向の第 i 番目($i=1 \sim 2N$ または $2N+1$ の奇数)の表示ラインに対して走査ライン $8-x$ 及び $8-x+1$ (x は $3i/2$ 以下の最大の整数)を割り当て、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ の内、任意のデータライン $6-j$ に接続される第1のTFTゲートF1及び第2のTFTゲートF2を、それぞれ走査ライン $8-x$ 及び $8-x+1$ に独立に接続して、また、走査方向の第 $i+1$ 番目の表示ラインに対して走査ライン $8-x+1$ 及び $8-x+2$ を割り当て、任意のデータライン $6-j$ に接続される第3のTFTゲートF3及び第4のTFTゲートF4を、それぞれ走査ライン $8-x+1$ 及び $8-x+2$ に独立に接続し、4個の表示画素を構成する。
30 【0045】図8(2)に示す如く、先ず、走査ライン $8-x$ 及び $8-x+1$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの奇数ラインデータを印加し、第 i 番目の表示ラインの奇数番目の画素電極 $1(i, k)$ に映像信号が印加される。

次に、走査ライン $8-x+1$ 及び $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極 $1(i+1, k)$ に映像信号が印加される。次に、走査ライン $8-x$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの偶数ラインデータを印加し、第 i 番目の表示ラインの偶数番目の画素電極 $1(i, k+1)$ に映像信号が印加される。更に、走査ライン $8-x+1$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの偶数ラインデータを印加し、第 $i+1$ 番目の表示ラインの偶数番目の画素電極 $1(i+1, k+1)$ に映像信号が印加される。

【0046】本発明の第10の特徴のアクティブマトリクス型液晶表示装置では、図9(1)に示す如く、画素電極を $M \times 2N$ または $2N+1$ (M, N は任意の正整数)のマトリクス状に配置して、 $3N+3N+2$ 本の走査ライン $8-1 \sim 8-3N+3N+2$ の内、走査方向の第 i 番目($i=1 \sim 2N$ または $2N+1$ の奇数)の表示ラインに対して走査ライン $8-x$ 及び $8-x+1$ (x は $3i/2$ 以下の最大の整数)を割り当て、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ の内、任意のデータライン $6-j$ 及び走査ライン $8-x$ に第1のTFTゲートF1を、奇数番目の画素電極 $1(i, k)$ と偶数番目の画素電極 $1(i, k+1)$ 間で走査ライン $8-x+1$ に第2のTFTゲートF2を、それぞれ独立に接続し、また、走査方向の第 $i+1$ 番目の表示ラインに対して走査ライン $8-x+1$ 及び $8-x+2$ を割り当て、任意のデータライン $6-j$ 及び走査ライン $8-x+2$ に第3のTFTゲートF3を、奇数番目の画素電極 $1(i+1, k)$ と偶数番目の画素電極 $1(i+1, k+1)$ 間で走査ライン $8-x+1$ に第4のTFTゲートF4を、それぞれ独立に接続して、4個の表示画素を構成する。

【0047】図9(2)に示す如く、先ず、走査ライン $8-x$ 及び $8-x+1$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの偶数ラインデータを印加し、第 i 番目の表示ラインの偶数番目の画素電極 $1(i, k+1)$ に映像信号が印加される。次に、走査ライン $8-x+1$ 及び $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの偶数ラインデータを印加し、第 $i+1$ 番目の表示ラインの偶数番目の画素電極 $1(i+1, k+1)$ に映像信号が印加される。更に、走査ライン $8-x$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの奇数ラインデータを印加し、第 i 番目の表示ラインの奇数番目の画素電極 $1(i, k)$ に映像信号が印加される。更に、走査ライン $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極 $1(i+1, k)$ に映像信号が印加される。

の奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極 $1(i+1, k)$ に映像信号が印加される。

【0048】本発明の第11の特徴のアクティブマトリクス型液晶表示装置では、図10(1)に示す如く、画素電極を $M \times 2N$ または $2N+1$ (M, N は任意の正整数)のマトリクス状に配置して、 $3N$ または $3N+2$ 本の走査ライン $8-1 \sim 8-3N$ または $3N+2$ の内、走査方向の第 i 番目($i=1 \sim 2N$ または $2N+1$ の奇数)の表示ラインに対して走査ライン $8-x$ 及び $8-x+1$ (x は $3i/2$ 以下の最大の整数)を割り当て、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ の内、任意のデータライン $6-j$ 及び走査ライン $8-x$ に第1のTFTゲートF1を、奇数番目の画素電極 $1(i, k)$ と偶数番目の画素電極 $1(i, k+1)$ 間で走査ライン $8-x+1$ に第2のTFTゲートF2を、それぞれ独立に接続し、また、走査方向の第 $i+1$ 番目の表示ラインに対して走査ライン $8-x+1$ 及び $8-x+2$ を割り当て、任意のデータライン $6-j$ 及び走査ライン $8-x+1$ に第3のTFTゲートF3を、奇数番目の画素電極 $1(i+1, k)$ と偶数番目の画素電極 $1(i+1, k+1)$ 間で走査ライン $8-x+2$ に第4のTFTゲートF4を、それぞれ独立に接続して、4個の表示画素を構成する。

【0049】図10(2)に示す如く、先ず、走査ライン $8-x$ 及び $8-x+1$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの偶数ラインデータを印加し、第 i 番目の表示ラインの偶数番目の画素電極 $1(i, k+1)$ に映像信号が印加される。次に、走査ライン $8-x+1$ 及び $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの偶数ラインデータを印加し、第 $i+1$ 番目の表示ラインの偶数番目の画素電極 $1(i+1, k+1)$ に映像信号が印加される。次に、走査ライン $8-x+1$ 及び $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極 $1(i+1, k)$ に映像信号が印加される。更に、走査ライン $8-x$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの奇数ラインデータを印加し、第 i 番目の表示ラインの奇数番目の画素電極 $1(i, k)$ に映像信号が印加される。

【0050】本発明の第12の特徴のアクティブマトリクス型液晶表示装置では、第8、第9、第10、または第11の特徴のアクティブマトリクス型液晶表示装置において、図11(1)に示す如く、第1、第2、第3及びまたは第4のTFTゲートF1、F2、F3、及びまたはF4を、2個のTFTゲートを並列接続して構成する。

【0051】図11(2)に示す如く、先ず、走査ライン $8-x$ 及び $8-x+1$ (x は表示ラインを i とすると、 $3i/2$ 以下の最大の整数)を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの偶数ラインデータを印加し、第 i 番目の表示ラインの偶数番目の画素電極 $1(i, k+1)$ に映像信号が印加される。次に、走査ライン $8-x+1$ 及び $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの偶数ラインデータを印加し、第 $i+1$ 番目の表示ラインの偶数番目の画素電極 $1(i+1, k+1)$ に映像信号が印加される。次に、走査ライン $8-x+1$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの奇数ラインデータを印加し、第 i 番目の表示ラインの奇数番目の画素電極 $1(i, k)$ に映像信号が印加される。更に、走査ライン $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極 $1(i+1, k)$ に映像信号が印加される。

【0052】これにより、TFTゲートの冗長構成になりながら、並列につながれたTFTゲートに欠陥が無い場合には、より大きな電流を液晶セルに供給できるので、高速な駆動が可能となる。

【0053】本発明の第13の特徴のアクティブマトリクス型液晶表示装置では、第8、第9、第10、第11、または第12の特徴のアクティブマトリクス型液晶表示装置において、カラー表示を行なう場合には、画素電極 $1(i, j)$ ($i=1 \sim N$, $j=1 \sim M$)として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成する。

【0054】更に、本発明の第6の特徴のアクティブマトリクス型液晶表示装置の駆動回路では、図29に示す如く、制御手段16によって、第 i 番目($i=1 \sim 2N$ または $2N+2$)の走査ライン $8-x$ 及び第 $x+1$ 番目の走査ライン $8-x+1$ の双方が同時に選択された第 i 番目の表示ライン上の画素電極 $1(i, j)$ ($j=1 \sim M$)に表示データを印加するようデータ電極ドライバ2を制御する。

【0055】

【実施例】次に、本発明に係る実施例を図面に基づいて説明する。

第1実施例

図12に本発明の第1実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図を示す。

【0056】本実施例のアクティブマトリクス型液晶表示装置の駆動回路では、図1に示すような構成のアクティブマトリクス型液晶表示パネル1を駆動対象としている。即ち、画素電極を $M \times N$ (M, N は任意の正整数)のマトリクス状に配置して、 $2N$ 本の走査ライン $8-1$

～ $8-2N$ の内、走査方向の1表示ラインに対して走査ラインを2本ずつ割り当て、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ の内、任意のデータライン $6-j$ に接続される第1のTFTゲートG1及び第2のTFTゲートG2を、1表示ラインに対して割り当てられた2本の走査ライン $8-i$ 及び $8-i+1$ ($i=1 \sim 2N$)に独立に接続して、2個の表示画素を構成し、カラー表示を行なう場合には、画素電極 $1(i, j)$ ($i=1 \sim N$, $j=1 \sim M$)として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成するものである。

【0057】本実施例では、その一例として、 1120×780 のカラー画素(画素数： $1120 \times 3 \times 780$)を備えるアクティブマトリクス型液晶表示パネル1を駆動対象としている。

【0058】このような構成のアクティブマトリクス型液晶表示パネル1を駆動する駆動回路として、本実施例では図12に示す構成を取る。即ち、駆動回路はデータ電極ドライバ2及び3、走査電極ドライバ4、データ処理回路15、並びにタイミング発生回路16から構成されている。

【0059】データ電極ドライバ2及び3は、それぞれデータライン $6-1 \sim 6-1680$ の奇数番目及び偶数番目のデータラインを駆動し、それぞれ840出力を備える。

【0060】走査電極ドライバ4は、走査ライン $8-1 \sim 8-1560$ を駆動し、 $1560 (=780 \times 2)$ 出力を備える。

【0061】データ処理回路15は、データ信号R data、G data、及びB dataをデータ電極ドライバ2及び3に必要なタイミングに変換する回路であり、1走査ライン分の表示データを、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割して出力する。

【0062】タイミング発生回路16は、水平同期信号H sync及び垂直同期信号V syncから、走査ドライバ制御信号Syncを出力して、任意の表示ラインに対する2本の走査ライン $8-i$ 及び $8-i+1$ ($i=1 \sim 1559$ の奇数)を1水平走査期間内に時分割に駆動するよう走査電極ドライバ4を制御し、また、データドライバ制御信号D conを出力して、一方の走査ライン $8-i$ の駆動期間中はデータライン $6-1 \sim 6-1679$ (奇数)に奇数ラインデータを、他方の走査ライン $8-i+1$ の駆動期間中はデータライン $6-1 \sim 6-1680$ (偶数)に偶数ラインデータを印加するようデータ電極ドライバ2及び3を制御する。

【0063】図13及び14に、本実施例の駆動回路の動作を説明するタイミングチャートを示す。

【0064】同図に示すように、本実施例では、1ライン分の表示データを奇数ラインデータ及び偶数ラインデータ

ータに分割して、1水平期間に時分割で書き込む。また、これに同期して走査電極ドライバ4から走査電圧を出力する。つまり、1ライン(奇数)データに対して1走査ライン目、1ライン(偶数)データに対して2走査ライン目にそれぞれ走査電圧を出力する。これを繰り返し行なって、1フレーム期間(1垂直期間)で1560本の走査ラインを駆動する。

第2実施例

図12に本発明の第2実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図を示す。第2実施例の構成は第1実施例の構成と同等である。

【0065】即ち、図1の構成を有するアクティブマトリクス型液晶表示パネル1を駆動する駆動回路として、データ電極ドライバ2及び3、走査電極ドライバ4、データ処理回路15、並びにタイミング発生回路16から構成されている。

【0066】データ電極ドライバ2及び3、走査電極ドライバ4、並びにデータ処理回路15の機能は、第1実施例と同等である。

【0067】タイミング発生回路16は、1垂直走査期間を第1の期間(奇数フレーム)及び第2の期間(偶数フレーム)に分け、奇数フレームでは、データライン6-1~6-1679(奇数)に奇数ラインデータを印加して、各表示ラインに対して一方の走査ライン8-i(i=1~1559の奇数)のみを順に駆動し、偶数フレームでは、データライン6-1~6-1680(偶数)に偶数ラインデータを印加して、各表示ラインに対して他方の走査ライン8-i+1のみを順に駆動するよ

うに、水平同期信号H sync及び垂直同期信号V syncから、走査ドライバ制御信号Scan及びデータドライバ制御信号Dataを出力して、データ電極ドライバ2及び3、並びに走査電極ドライバ4を制御する。

【0068】図15及び16に、本実施例の駆動回路の動作を説明するタイミングチャートを示す。

【0069】同図に示すように、本実施例では、先ず奇数フレームでは、1ライン分の表示データの内、奇数ラインデータのデータを1水平期間に書き込み、これに同期して奇数ラインの走査電極ドライバ4から走査電圧を出力する。そして次の偶数フレームでは、1ライン分の表示データの内、偶数ラインデータを1水平期間に書き込み、これに同期して走査電極ドライバ4から走査電圧を出力する。つまり、1フレーム期間(奇数フレーム)で780本(奇数走査ライン)、次のフレーム期間(偶数フレーム)で780本(偶数走査ライン)の走査を行なう、所謂インターレース走査を行なう。

【0070】以上のように、第1及び第2の実施例では、アクティブマトリクス回路構成において、走査方向の1表示ラインを2本の走査ライン(ゲートバス)で構成すると共に、同一のデータラインに接続された2個のTFTゲートG1及びG2を2本の走査ラインに独立に

接続して、2個の表示画素を構成し、カラー表示を行なう場合には、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成し、2本の走査ラインを時分割で駆動して表示を行なう。

【0071】これにより、図17に示すように、駆動回路数が走査電極側で2倍になるものの、データ電極側で2分の1になり、全体として約4分の3になる。回路コストは現状の技術ではデータ電極側:走査電極側=3:1であるため、全体としてコストの低減率は約5分の3となる。また、接続ピッチは、走査電極側で2分の1になるものの、データ電極側で2倍になる。OA用途の表示パネルでは画素構成が縦ストライプであるため、画素ピッチは例えばデータ電極側で0.1mm、走査電極側で0.3mmとなり、走査側が2分の1となつても特に接続の歩留りが低下することはない。

第3実施例

図18に本発明の第3実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図を示す。

【0072】本実施例のアクティブマトリクス型液晶表示装置の駆動回路では、図2に示すような構成のアクティブマトリクス型液晶表示パネル1を駆動対象としている。即ち、画素電極をM×N(M, Nは任意の正整数)のマトリクス状に配置して、2N本の走査ラインの内、走査方向の1表示ラインに対して第1走査ライン8-1~8-N及び第2走査ライン9-1~9-Nの2本ずつ割り当て、各表示ラインにおいて、M本のデータライン6-1~6-Mの内、任意のデータライン6-jに第1のTFTゲートT1及び第2のTFTゲートT2を直列に接続すると共に、各TFTゲートT1及びT2をそれぞれ第1走査ライン8-1~8-N及び第2走査ライン9-1~9-Nに独立に接続して、1個の表示画素を構成し、カラー表示を行なう場合には、画素電極1(i, j)(i=1~N, j=1~M)として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成するものである。

【0073】例えば、図19に示すように、走査方向にN=16本の表示ラインを持つ表示パネルにおいては、16×2本の走査ラインを第1走査ライン8-1~8-16及び第2走査ライン9-1~9-16とし、それルートN本=4本ずつのグループ(10-1~10-4及び11-1~11-4)に分けられて、各グループは共通接続される。

【0074】このアクティブマトリクス型液晶表示装置においては、第1走査ライン8-1~8-Nのグループの1つと第2走査ライン9-1~9-Nのグループの1つが時分割に選択され、第1走査ライン8-i及び第2走査ライン9-iの双方が同時に選択された表示ライン上の画素電極1(i, j)(j=1~M)に表示データを書き込み、線順次走査して表示する。

【0075】本実施例では、その一例として、640×

400のカラー画素（画素数 $6420 \times 3 \times 400$ ）を備えるアクティブマトリクス型液晶表示パネル1を駆動対象としている。

【0076】このような構成のアクティブマトリクス型液晶表示パネル1を駆動する駆動回路として、本実施例では図18に示す構成を取る。即ち、駆動回路はデータ電極ドライバ2及び3、走査電極ドライバ4及び5、データ処理回路15、並びにタイミング発生回路16から構成されている。

【0077】第1走査電極ドライバ4は、第1走査ライン8-1～8-400の各グループ10-1～10-20を駆動し、第2走査電極ドライバ5は、第2走査ライン9-1～9-200の各グループ11-1～11-20を駆動する。

【0078】データ電極ドライバ2及び3は、それぞれデータライン6-1～6-1920の奇数番目及び偶数番目のデータラインを駆動し、それぞれ960出力を備える。

【0079】データ処理回路15は、データ信号R data、G data、及びB dataをデータ電極ドライバ2及び3に必要なタイミングに変換する回路であり、1走査ライン分の表示データを、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割して出力する。

【0080】タイミング発生回路16は、水平同期信号H sync及び垂直同期信号V syncから、走査ドライバ制御信号S con及びデータドライバ制御信号D conを出力して、第1走査ラインのグループ10-1～10-20の1つと第2走査ラインのグループ11-1～11-20の1つが時分割に駆動するよう第1走査電極ドライバ4及び第2走査電極ドライバ5を制御し、第1走査ライン8-i及び第2走査ライン9-iの双方が同時に選択された表示ライン上の画素電極1(i, j) ($j = 1 \sim 1920$) に表示データを印加するようデータ電極ドライバ2及び3を制御する。

【0081】本実施例の動作原理を、表示ラインが16本の場合（図19）を例に説明する。

【0082】例えば走査電極ドライバ4の出力ドライバDa1と走査電極ドライバ5の出力ドライバDb1から駆動電圧を出力することにより、走査ライングループ10-1及び11-1に駆動電圧が印加される。その結果、1ライン目の表示ラインでは、上下2個のTFTゲートT1及びT2が共にオンになり画素電極にデータ信号が書き込まれるが、2、3、4ライン目の表示ラインではTFTゲートT1のみがオン、5、9、13ライン目の表示ラインではTFTゲートT2のみがオンになるため、その他の表示ラインの画素電極にはデータ信号は書き込まれない。つまり、2個のTFTゲートT1及びT2が同時にオンになる時の書き込みが行なわれる。

【0083】図20に、表示ラインが16本の場合の動

作を説明するタイミングチャートを示す。同図に示すように、走査電極ドライバ4の出力ドライバDa1～Da4と走査電極ドライバ5の出力ドライバDb1～Db4から駆動電圧出力が同時にオンになるタイミングで1本の表示ラインが選択されて、1～16ラインまで線順次で走査される。

【0084】以上のように、本実施例の走査側の表示ライン数が400本の場合には、20個の出力ドライバを備える2個の走査電極ドライバ4及び5を構成すればよく、出力ドライバ数を大幅に低減できる。

【0085】また、図21に示すように、本実施例の実装として、共通接続する第1走査ライン8-1～8-N及び第2走査ライン9-1～9-Nの配線を、表示パネル1の基板上に設けた場合には、表示パネル基板と駆動回路（例えばTAB-IC）の接続点数を大幅に減らすことができる。

【0086】更に、図22に示すように、本実施例の実装として、共通接続する第1走査ライン8-1～8-N及び第2走査ライン9-1～9-Nの配線を、駆動回路基板上（例えばFPC：フレキシブルプリント回路基板）に設けた場合には、表示パネル基板内部での配線クロスオーバーが無くなり、表示パネルの歩留りが向上する。

第4実施例

図23に本発明の第4実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図を示す。

【0087】本実施例のアクティブマトリクス型液晶表示装置の駆動回路では、図3に示すような構成のアクティブマトリクス型液晶表示パネル1を駆動対象としている。即ち、画素電極をM×N（M, Nは任意の正整数）のマトリクス状に配置して、N+1本の走査ライン8-1～8-N+1の内、走査方向の1表示ラインに対して2本ずつ割り当て、各表示ラインにおいて、M本のデータライン6-1～6-Mの内、任意のデータライン6-jに第1のTFTゲートQ1及び第2のTFTゲートQ2を直列に接続すると共に、各TFTゲートQ1及びQ2をそれぞれ1表示ラインに対して割り当てられた2本の走査ライン8-i及び走査ライン8-i+1に独立に接続して、1個の表示画素を構成し、カラー表示を行なう場合には、画素電極1(i, j) ($i = 1 \sim N, j = 1 \sim M$) として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成するものである。

【0088】本実施例では、その一例として、 8×16 の画素電極を備えるアクティブマトリクス型液晶表示パネル1を駆動対象としている。

【0089】このような構成のアクティブマトリクス型液晶表示パネル1を駆動する駆動回路として、本実施例では図23に示す構成を取る。即ち、駆動回路はデータ電極ドライバ2、走査電極ドライバ4、データ処理回路

15、及びタイミング発生回路16から構成されている。

【0090】走査電極ドライバ4は、走査ライン8-1～8-17をドライバ出力10-1～10-8で駆動する。つまり、8個のドライバ出力10-1～10-8を備え、走査ライン8-1～8-17の奇数番目に対しては、ドライバ出力の奇数番目の出力10-1, 10-3, 10-5, 10-7を順に接続し、走査ライン8-1～8-17の偶数番目に対しては、ドライバ出力の偶数番目の出力10-2, 10-4, 10-6, 10-8を1周期毎に2つずらしながら、即ち、10-1, 10-2, …, 10-8, 10-1, 10-6, 10-3, 10-8, 10-5, 10-2, 10-7, 10-4, 10-1と接続する。

【0091】データ電極ドライバ2は、データライン6-1～6-8を駆動する。

【0092】データ処理回路15は、データ信号R data、G data、及びB dataをデータ電極ドライバ2に必要なタイミングに変換する回路である。

【0093】タイミング発生回路16は、水平同期信号H sync及び垂直同期信号V syncから、走査ドライバ制御信号S con及びデータドライバ制御信号D conを出力して、第i番目($i = 1 \sim 16$)の走査ライン8-i及び第i+1番目の走査ライン8-i+1の双方が同時に選択された第i番目の表示ライン上の画素電極1(i, j)($j = 1 \sim 8$)に表示データを印加するよう制御する。

【0094】図24に本実施例の動作を説明するタイミングチャートを示す。

【0095】本実施例では、上述のようなドライバ出力10-1～10-8と走査ライン8-1～8-17の接続関係とすることにより、隣接する走査ラインに印加されるドライバ出力10-1～10-8が同じ組み合わせになることを防止することができ、図24に示すように、第1番目から第16番目の表示ラインを順に駆動させていく。

【0096】また、走査電極ドライバ4が16個のドライバ出力10-1～10-16を備える場合には、奇数番目のドライバ出力は同じ順番で4回ずつ接続し、偶数番目の出力ドライバは2つずつ順番をずらしながら4回ずつ走査電極に接続することで、容易に64行の表示ラインを備える表示パネルを駆動することができる。但し、偶数番目のドライバ出力を6つずつずらしながら接続してもよいし、また不規則な接続をしてもよい。

【0097】以上のように本実施例によれば、例えば、400本の表示ラインに対して $2 \times 20 = 40$ 個のドライバ出力を備える走査電極ドライバ4を構成すればよく、ドライバ出力数を10分の1と大幅に低減でき、アクティブマトリクス型液晶表示装置の低コスト化が実現できる。

第5実施例

図25に本発明の第5実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図を示す。

【0098】本実施例のアクティブマトリクス型液晶表示装置の駆動回路では、第4実施例と同様に、図3に示すような構成のアクティブマトリクス型液晶表示パネル1を駆動対象としている。

【0099】本実施例では、その一例として、 8×21 の画素電極を備えるアクティブマトリクス型液晶表示パネル1を駆動対象としている。

【0100】このような構成のアクティブマトリクス型液晶表示パネル1を駆動する駆動回路として、本実施例では図25に示す構成を取る。即ち、駆動回路はデータ電極ドライバ2、走査電極ドライバ4、データ処理回路15、及びタイミング発生回路16から構成されている。

【0101】走査電極ドライバ4は、走査ライン8-1～8-22をドライバ出力10-1～10-7で駆動する。つまり、7個のドライバ出力10-1～10-7を備え、走査ライン8-1～8-22に対して、第i番目($i = 1 \sim 21$)の走査ライン8-i及び第i+1番目の走査ライン8-i+1に7個のドライバ出力から異なる2出力の組み合わせの内、1つずつが接続されている。

【0102】データ電極ドライバ2は、データライン6-1～6-8を駆動する。

【0103】データ処理回路15は、データ信号R data、G data、及びB dataをデータ電極ドライバ2に必要なタイミングに変換する回路である。

【0104】タイミング発生回路16は、水平同期信号H sync及び垂直同期信号V syncから、走査ドライバ制御信号S con及びデータドライバ制御信号D conを出力して、第i番目($i = 1 \sim 21$)の走査ライン8-i及び第i+1番目の走査ライン8-i+1の双方が同時に選択された第i番目の表示ライン上の画素電極1(i, j)($j = 1 \sim 8$)に表示データを印加するよう制御する。

【0105】図26に本実施例の動作を説明するタイミングチャートを示す。

【0106】本実施例では、上述のようなドライバ出力10-1～10-7と走査ライン8-1～8-22の接続関係とすることにより、隣接する走査ラインに印加されるドライバ出力10-1～10-7が同じ組み合わせになることを防止することができ、図26に示すように、第1番目から第21番目の表示ラインを順に駆動させていく。

【0107】以上のように本実施例によれば、例えば31個のドライバ出力を備える走査電極ドライバ4により、465本の表示ラインを駆動することができ、ドライバ出力数を大幅に低減できるので、アクティブマトリ

クス型液晶表示装置の低コスト化が実現できる。更に、表示ライン数が2倍となった場合でも必要なドライバ出力数は1.5倍以下にしか増加せず、特に高精細表示でコスト低減の効果が大きい。

【0108】尚、第4及び第5実施例では、全ての行の画素電極に2つのTFTゲートQ1及びQ2を設けてい
るが、従来または他の実施例のアクティブマトリクス型液晶表示装置の構成としてもよく、また、2つのTFT
ゲートQ1及びQ2のどちらを上下の走査ラインに接続
するかは、基本的な動作には影響しない。

第6実施例

図27に本発明の第6実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図を示す。

【0109】本実施例のアクティブマトリクス型液晶表示装置の駆動回路では、図4に示すような構成のアクティブマトリクス型液晶表示パネル1を駆動対象としている。即ち、画素電極をM×N(M,Nは任意の正整数)のマトリクス状に配置して、N+1本の走査ライン8-1～8-N+1の内、走査方向の1表示ラインに対して走査ラインを2本ずつ割り当て、M/2本のデータライン6-1～6-M/2の内、任意のデータライン6-jに接続される第1のTFTゲートP1及び第2のTFT
ゲートP2を、1表示ラインに対して割り当てられた2本の走査ライン8-i及び8-i+1(i=1～N)に独立に接続し、またデータライン6-jに接続される第3のTFTゲートP3を、走査ライン8-iに独立に接続して、2個の表示画素を構成し、カラー表示を行なう場合には、画素電極1(i,j)(i=1～N,j=1～M)として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成するものである。

【0110】このような構成のアクティブマトリクス型液晶表示パネル1を駆動する駆動回路として、本実施例では図27に示す構成を取る。即ち、駆動回路はデータ電極ドライバ2、第1走査電極ドライバ4、第2走査電極ドライバ5、データ処理回路15、及びタイミング発生回路16から構成されている。

【0111】第1走査電極ドライバ4は走査ライン8-1～8-N+1の内奇数番目を、第2走査電極ドライバ5は走査ライン8-1～8-N+1の内偶数番目をそれぞれ駆動する。第1走査電極ドライバ4及び第2走査電極ドライバ5の内部構成は、タイミング発生回路16の制御の下、第1走査電極ドライバ4及び第2走査電極ドライバ5の出力イネーブル制御により、偶数番目或いは奇数番目の走査ライン8-iを強制的に非選択電圧にするシフトレジスタを備えた一般的な構成である。

【0112】データ電極ドライバ2は、データライン6-1～6-M/2を駆動する。

【0113】データ処理回路15は、データ信号R data、G data、及びB dataをデータ電極ドライバ出力数も半分にすることができ、回路コストを低減

バ2に必要なタイミングに変換する回路であり、1走査ライン分の表示データを、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割して出力する。

【0114】タイミング発生回路16は、水平同期信号H sync及び垂直同期信号V syncから、第1走査ドライバ制御信号S con1、第2走査ドライバ制御信号S con2、及びデータドライバ制御信号D conを出力して、所定のタイミングで、第i番目の走査ライン8-i及び第i+1番目の走査ライン8-i+1に選択電圧を印加し、次のタイミングで、第i番目の走査ライン8-i+1に選択電圧を、第i+1番目の走査ライン8-i+1に非選択電圧をそれぞれ印加し、更に次のタイミングで、第i番目の走査ライン8-iに非選択電圧を印加するという一連の動作を、iの昇順に繰り返すよう制御する。

【0115】つまり、第i番目の走査ライン8-i及び第i+1番目の走査ライン8-i+1に選択電圧を印加することにより、第1～第3のTFTゲートP1～P3は全て導通状態となり、この時データライン6-1～6-M/2には、奇数番目の画素電極に対応した奇数ラインデータが印加される。次に、第i番目の走査ライン8-i+1に選択電圧を、第i+1番目の走査ライン8-i+1に非選択電圧をそれぞれ印加することにより、第2のTFTゲートP2は非導通状態となり、これに接続された画素電極の電圧は液晶セルの容量によって保持される。この時、第3のTFTゲートP3は導通状態を保つておらず、ここでデータライン6-1～6-M/2には、偶数番目の画素電極に対応した偶数ラインデータが印加されているので、この電圧が新たに画素電極に印加される。次に、第i番目の走査ライン8-iに非選択電圧を印加することにより、第1及び第2のTFTゲートP1及びP3は非導通状態となり、第3のTFTゲートに接続された画素電極の電圧はその画素の液晶セルの容量によりやはり保持され、次の書き込みまで液晶セルの印加電圧が保たれる。

【0116】図28に、本実施例の駆動回路の動作を説明するタイミングチャートを示す。タイミング発生回路16からの第1走査ドライバ制御信号S con1及び第2走査ドライバ制御信号S con2には、シフト入力S I 1及びS I 2と出力イネーブル信号OE 1及びOE 2があり、これら制御信号により、同図に示すような走査ライン8-1～8-N+1の電圧波形を生成して、各表示ラインの奇数ドット及び偶数ドットの液晶セルに順次電圧を印加していく。

【0117】以上のように本実施例によれば、表示ライン上の2個の画素電極がTFTゲートP1～P3を介して1本のデータライン6-jに接続されており、データラインを従来の半分とし、データ電極ドライバ2のドライバ出力数も半分にすることができ、回路コストを低減

することができる。

【0118】また、本実施例の変形例として以下のような構成が考えられる。

(1) アクティブマトリクス型液晶表示装置の構成を、図5(1)に示す構成とする。即ち、第2のTFTゲートP2を第i番目の走査ライン8-iに、第1のTFTゲートP1を第i+1番目の走査ライン8-i+1にそれぞれ接続した構成である。

(2) アクティブマトリクス型液晶表示装置の構成を、図5(2)に示す如く、第1のTFTトランジスタP1または第2のTFTトランジスタP2を、走査ライン8-i上に構成する。この構成でもデータライン6-1～6-M/2に印加する電圧のタイミングが多少異なるのみで、上記実施例と同様の動作が行なえ、更にTFTゲートを構成する面積を小さくすることができ、画素電極を大きくとれる効果がある。

(3) アクティブマトリクス型液晶表示装置の構成を、図5(3)に示す如く、第3のTFTトランジスタP3と画素電極1(i, k+1)または1(i, h+1)の間に、制御端子を第i番目の走査ライン8-iに接続した第4のTFTゲートP4を構成する。この構成によれば、全ての画素電極に対して2つのTFTゲートが接続されることになり、書き込みの特性を均一にすることができる。

(4) 以上の実施例及びその変形例において、走査ライン上の奇数番目の画素電極と偶数番目の画素電極を逆にして、アクティブマトリクス型液晶表示装置を構成する。

(5) 1つの表示パネル内で、以上の実施例並びに変形例の構成を混在させる、或いは、従来の1画素電極に対して1個のTFTゲートの構成と混在させる。

第7実施例

図2-9に本発明の第7実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図を示す。

【0119】本実施例のアクティブマトリクス型液晶表示装置の駆動回路では、図7(1)に示すような構成のアクティブマトリクス型液晶表示パネル1を駆動対象としている。即ち、画素電極をM×2Nまたは2N+1

(M, Nは任意の正整数)のマトリクス状に配置して、3Nまたは3N+2本の走査ライン8-1～8-3Nまたは3N+2の内、走査方向の第i番目(i=2Nまたは2N+1の奇数)の表示ラインに対して走査ライン8-x及び8-x+1(xは3i/2以下の最大の整数)を割り当て、M/2本のデータライン6-1～6-M/2の内、任意のデータライン6-jに接続される第1のTFTゲートF1及び第2のTFTゲートF2を、それぞれ走査ライン8-x及び8-x+1に独立に接続し、また、走査方向の第i+1番目の表示ラインに対して走査ライン8-x+1及び8-x+2を割り当て、任意のデータライン6-jに接続される第3のTFTゲートF

3及び第4のTFTゲートF4を、それぞれ走査ライン8-x+2及び8-x+1に独立に接続して、4個の表示画素を構成し、カラー表示を行なう場合には、画素電極1(i, j)(i=1～2Nまたは2N+1, j=1～M)として、横方向に赤画素電極R、緑画素電極G、及び青画素電極Bを順に配列して1カラー画素を構成するものである。

【0120】このような構成のアクティブマトリクス型液晶表示パネル1を駆動する駆動回路として、本実施例10では図27に示す構成を取る。即ち、駆動回路はデータ電極ドライバ2、走査電極ドライバ4、データ処理回路15、及びタイミング発生回路16から構成されている。

【0121】走査電極ドライバ4は走査ライン8-1～8-3Nまたは3N+2を駆動する。

【0122】データ電極ドライバ2は、データライン6-1～6-M/2を駆動する。

【0123】データ処理回路15は、データ信号R data、G data、及びB dataをデータ電極ドライバ2に必要なタイミングに変換する回路であり、1走査ライン分の表示データを、奇数番目の画素電極に対応した奇数ラインデータと、偶数番目の画素電極に対応した偶数ラインデータとに分割して出力する。

【0124】タイミング発生回路16は、水平同期信号H sync及び垂直同期信号V syncから、走査ドライバ制御信号Scon及びデータドライバ制御信号Dconを出力して、第x番目(x=1～3N、xは表示ラインをi番目とし、3i/2以下の最大の整数)の走査ライン8-x及び第x+1番目の走査ライン8-x+1の双方が同時に選択された第i番目の表示ライン上の画素電極1(i, j)(j=1～M)に表示データを印加するよう制御する。

【0125】図7(2)に示すタイミングチャートを参考して本実施例の駆動回路の動作を説明する。

【0126】先ず、走査ライン8-x及び8-x+1を選択電圧とすると共に、データライン6-1～6-M/2に第i番目の表示ラインの奇数ラインデータを印加し、第i番目の表示ラインの奇数番目の画素電極1(i, k)に映像信号が印加される。次に、走査ライン8-x+1及び8-x+2を選択電圧とすると共に、データライン6-1～6-M/2に第i+1番目の表示ラインの奇数ラインデータを印加し、第i+1番目の表示ラインの奇数番目の画素電極1(i+1, k)に映像信号が印加される。次に、走査ライン8-x+2を選択電圧とすると共に、データライン6-1～6-M/2に第i+1番目の表示ラインの偶数ラインデータを印加し、第i+1番目の表示ラインの偶数番目の画素電極1(i+1, k+1)に映像信号が印加される。更に、走査ライン8-xを選択電圧とすると共に、データライン6-1～6-M/2に第i番目の表示ラインの偶数ラインデータを印加し、

50

ータを印加し、第*i*番目の表示ラインの偶数番目の画素電極1(i, k+1)に映像信号が印加される。

【0127】以上のように本実施例によれば、表示ライン上の4個の画素電極がTFTゲートF1～F4を介して1本のデータライン6-jに接続されており、データラインを従来の半分とし、データ電極ドライバ2のドライバ出力数も半分にすることができ、回路コストを低減することができる。

【0128】尚、アクティブマトリクス型液晶表示装置を、データライン6-jに対して左右対象とした構成でも、走査ライン8-x+1に対して上下対象とした構成でも、同様な制御方法により駆動できる。また、図7(2)とは異なる電圧波形により、画素電極1(i, k)、1(i, k+1)、1(i+1, k)、及び1(i+1, k+1)の駆動順序を変更することも可能である。

【0129】また、本実施例の変形例として以下のような構成が考えられる。

(1) 第1の変形例

アクティブマトリクス型液晶表示装置を、図8(1)に示す如く、画素電極をM×2Nまたは2N+1(M, Nは任意の正整数)のマトリクス状に配置して、3Nまたは3N+2本の走査ライン8-1～8-3Nまたは3N+2の内、走査方向の第*i*番目(*i*=1～2Nまたは2N+1の奇数)の表示ラインに対して、走査ライン8-x及び8-x+1(xは3*i*/2以下の最大の整数)を割り当て、M/2本のデータライン6-1～6-M/2の内、任意のデータライン6-jに接続される第1のTFTゲートF1及び第2のTFTゲートF2を、それぞれ走査ライン8-x及び8-x+1に独立に接続し、また、走査方向の第*i*+1番目の表示ラインに対して走査ライン8-x+1及び8-x+2を割り当て、任意のデータライン6-jに接続される第3のTFTゲートF3及び第4のTFTゲートF4を、それぞれ走査ライン8-x+1及び8-x+2に独立に接続して、4個の表示画素を構成する。

【0130】図8(2)に示すタイミングチャートを参照して動作を説明する。

【0131】先ず、走査ライン8-x及び8-x+1を選択電圧とすると共に、データライン6-1～6-M/2に第*i*番目の表示ラインの奇数ラインデータを印加し、第*i*番目の表示ラインの奇数番目の画素電極1(i, k)に映像信号が印加される。次に、走査ライン8-x+1及び8-x+2を選択電圧とすると共に、データライン6-1～6-M/2に第*i*+1番目の表示ラインの奇数ラインデータを印加し、第*i*+1番目の表示ラインの奇数番目の画素電極1(i+1, k)に映像信号が印加される。次に、走査ライン8-xを選択電圧とすると共に、データライン6-1～6-M/2に第*i*番目の表示ラインの偶数ラインデータを印加し、第*i*番目

の表示ラインの偶数番目の画素電極1(i, k+1)に映像信号が印加される。更に、走査ライン8-x+1を選択電圧とすると共に、データライン6-1～6-M/2に第*i*+1番目の表示ラインの偶数ラインデータを印加し、第*i*+1番目の表示ラインの偶数番目の画素電極1(i+1, k+1)に映像信号が印加される。

【0132】尚、アクティブマトリクス型液晶表示装置を、データライン6-jに対して左右対象とした構成でも、同様な制御方法により駆動できる。また、図8(2)とは異なる電圧波形により、画素電極1(i, k)、1(i, k+1)、1(i+1, k)、及び1(i+1, k+1)の駆動順序を変更することも可能である。

(2) 第2の変形例

アクティブマトリクス型液晶表示装置を、図9(1)に示す如く、画素電極をM×2Nまたは2N+1(M, Nは任意の正整数)のマトリクス状に配置して、3Nまたは3N+2本の走査ライン8-1～8-3Nまたは3N+2の内、走査方向の第*i*番目(*i*=1～2Nまたは2N+1の奇数)の表示ラインに対して走査ライン8-x及び8-x+1(xは3*i*/2以下の最大の整数)を割り当て、M/2本のデータライン6-1～6-M/2の内、任意のデータライン6-jと奇数番目の画素電極1(i, k)間で走査ライン8-xに第1のTFTゲートF1を、奇数番目の画素電極1(i, k+1)間で走査ライン8-x+1に第2のTFTゲートF2を、それぞれ独立に接続し、また、走査方向の第*i*+1番目の表示ラインに対して走査ライン8-x+1及び8-x+2を割り当て、任意のデータライン6-jと奇数番目の画素電極1(i+1, k)間で走査ライン8-x+2に第3のTFTゲートF3を、奇数番目の画素電極1(i+1, k+1)間で走査ライン8-x+1に第4のTFTゲートF4を、それぞれ独立に接続して、4個の表示画素を構成する。

【0133】図9(2)に示すタイミングチャートを参照して動作を説明する。

【0134】先ず、走査ライン8-x及び8-x+1を選択電圧とすると共に、データライン6-1～6-M/2に第*i*番目の表示ラインの偶数ラインデータを印加し、第*i*番目の表示ラインの偶数番目の画素電極1(i, k+1)に映像信号が印加される。次に、走査ライン8-x+1及び8-x+2を選択電圧とすると共に、データライン6-1～6-M/2に第*i*+1番目の表示ラインの偶数ラインデータを印加し、第*i*+1番目の表示ラインの偶数番目の画素電極1(i+1, k+1)に映像信号が印加される。次に、走査ライン8-xを選択電圧とすると共に、データライン6-1～6-M/2に第*i*番目の表示ラインの奇数ラインデータを印加し、第*i*番目の表示ラインの奇数番目の画素電極1(i, k)

(i, k) に映像信号が印加される。更に、走査ライン $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極 $1 (i+1, k)$ に映像信号が印加される。

【0135】尚、アクティブマトリクス型液晶表示装置を、データライン $6-j$ に対して左右対象とした構成でも、走査ライン $8-x+1$ に対して上下対象とした構成でも、同様な制御方法により駆動できる。また、図9(2)とは異なる電圧波形により、画素電極 $1 (i, k), 1 (i, k+1), 1 (i+1, k),$ 及び $1 (i+1, k+1)$ の駆動順序を変更することも可能である。

(3) 第3の変形例

アクティブマトリクス型液晶表示装置を、図10(1)に示す如く、画素電極を $M \times 2N$ または $2N+1$ (M, N は任意の正整数) のマトリクス状に配置して、 $3N$ または $3N+2$ 本の走査ライン $8-1 \sim 8-3N$ または $3N+2$ の内、走査方向の第 i 番目 ($i = 1 \sim 2N$ または $2N+1$ の奇数) の表示ラインに対して走査ライン $8-x$ 及び $8-x+1$ (x は $3i/2$ 以下の最大の整数) を割り当て、 $M/2$ 本のデータライン $6-1 \sim 6-M/2$ の内、任意のデータライン $6-j$ と奇数番目の画素電極 $1 (i, k)$ 間で走査ライン $8-x$ に第1のTFTゲート F_1 を、奇数番目の画素電極 $1 (i, k)$ と偶数番目の画素電極 $1 (i, k+1)$ 間で走査ライン $8-x+1$ に第2のTFTゲート F_2 を、それぞれ独立に接続し、また、走査方向の第 $i+1$ 番目の表示ラインに対して走査ライン $8-x+1$ 及び $8-x+2$ 割り当て、任意のデータライン $6-j$ と奇数番目の画素電極 $1 (i+1, k)$ 間で走査ライン $8-x+1$ に第3のTFTゲート F_3 を、奇数番目の画素電極 $1 (i+1, k)$ と偶数番目の画素電極 $1 (i+1, k+1)$ 間で走査ライン $8-x+2$ に第4のTFTゲート F_4 を、それぞれ独立に接続して、4個の表示画素を構成する。

【0136】図10(2)に示すタイミングチャートを参照して動作を説明する。

【0137】先ず、走査ライン $8-x$ 及び $8-x+1$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの偶数ラインデータを印加し、第 i 番目の表示ラインの偶数番目の画素電極 $1 (i, k+1)$ に映像信号が印加される。次に、走査ライン $8-x+1$ 及び $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの偶数ラインデータを印加し、第 $i+1$ 番目の表示ラインの偶数番目の画素電極 $1 (i+1, k+1)$ に映像信号が印加される。次に、走査ライン $8-x+1$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極 $1 (i+1, k)$ に映像信号が印加される。更に、走査ライン $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極 $1 (i+1, k)$ に映像信号が印加される。

タを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極 $1 (i+1, k)$ に映像信号が印加される。更に、走査ライン $8-x$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの奇数ラインデータを印加し、第 i 番目の表示ラインの奇数番目の画素電極 $1 (i, k)$ に映像信号が印加される。

【0138】尚、アクティブマトリクス型液晶表示装置を、データライン $6-j$ に対して左右対象とした構成でも、同様な制御方法により駆動できる。また、図10(2)とは異なる電圧波形により、画素電極 $1 (i, k), 1 (i, k+1), 1 (i+1, k),$ 及び $1 (i+1, k+1)$ の駆動順序を変更することも可能である。

(4) 第4の変形例

上記実施例、並びに第1、第2、及び第3の変形例において、図11(1)に示す如く、第1、第2、第3及びまたは第4のTFTゲート $F_1, F_2, F_3,$ 及びまたは F_4 を、2個のTFTゲートを並列接続して構成する。

【0139】図11(2)に示すタイミングチャートを参照して動作を説明する。

【0140】先ず、走査ライン $8-x$ 及び $8-x+1$ (x は表示ラインを x 番目とすると、 $3i/2$ 以下の最大の整数) を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの偶数ラインデータを印加し、第 i 番目の表示ラインの偶数番目の画素電極 $1 (i, k+1)$ に映像信号が印加される。次に、走査ライン $8-x+1$ 及び $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの偶数ラインデータを印加し、第 $i+1$ 番目の表示ラインの偶数番目の画素電極 $1 (i+1, k+1)$ に映像信号が印加される。次に、走査ライン $8-x+1$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 i 番目の表示ラインの奇数ラインデータを印加し、第 i 番目の表示ラインの奇数番目の画素電極 $1 (i, k)$ に映像信号が印加される。更に、走査ライン $8-x+2$ を選択電圧とすると共に、データライン $6-1 \sim 6-M/2$ に第 $i+1$ 番目の表示ラインの奇数ラインデータを印加し、第 $i+1$ 番目の表示ラインの奇数番目の画素電極 $1 (i+1, k)$ に映像信号が印加される。

【0141】本変形例では、TFTゲートの冗長構成になりながら、並列につながれたTFTゲートに欠陥が無い場合には、より大きな電流を液晶セルに供給できるので、高速な駆動が可能となる。

【0142】尚、アクティブマトリクス型液晶表示装置を、データライン $6-j$ に対して左右対象とした構成でも、同様な制御方法により駆動できる。また、図11(2)とは異なる電圧波形により、画素電極 $1 (i, k), 1 (i, k+1), 1 (i+1, k),$ 及び $1 (i+1, k+1)$ の駆動順序を変更することも可能である。

($i + 1, k + 1$) の駆動順序を変更することも可能である。

【0143】

【発明の効果】以上説明したように、本発明の第1及び第2の特徴のアクティブマトリクス型液晶表示装置、並びに第1及び第2の特徴のアクティブマトリクス型液晶表示装置の駆動回路によれば、 $N \times M$ のアクティブマトリクス回路構成において、走査方向の1表示ラインに対して2本ずつ割り当て、各表示ラインにおいて、任意のデータラインに第1のTFTゲート及び第2のTFTゲートを直列に接続すると共に、各TFTゲートをそれぞれ1表示ラインに対して割り当てられた2本の走査ラインに独立に接続して、1個の表示画素を構成し、走査電極ドライバのドライバ出力 ($O_1, E_1, O_2, E_2, \dots, O_L, E_L$) を、走査ラインの奇数番目に対しては、ドライバ出力の奇数番目の出力 (O_1, O_2, \dots, O_L) を順に接続し、走査ラインの偶数番目に対しては、ドライバ出力の偶数番目の出力 (E_1, E_2, \dots, E_L) を1周期毎に2つずらしながら ($E_1, E_2, \dots, E_L, E_3, \dots, E_L, E_5, \dots$) 接続し、制御手段により、第*i*番目の走査ライン及び第*i+1*番目の走査ラインの双方が同時に選択された第*i*番目の表示ライン上の画素電極に表示データを印加するようデータ電極ドライバ2を制御することとしたので、 N 本の表示ラインに対して $2 \times (\text{ルート } N)$ 個のドライバ出力を備える走査電極ドライバを構成すればよく、ドライバ出力数を大幅に低減でき、低コストなアクティブマトリクス型液晶表示装置及びその駆動回路を提供することができる。

【0144】本発明の第1及び第2の特徴のアクティブマトリクス型液晶表示装置、並びに第1及び第3の特徴のアクティブマトリクス型液晶表示装置の駆動回路によれば、走査電極ドライバのドライバ出力を、第*i*番目の走査ライン及び第*i+1*番目の走査ラインに、ドライバ出力から異なる2出力の組み合わせの内1つずつを接続し、制御手段により、第*i*番目の走査ライン及び第*i+1*番目の走査ラインの双方が同時に選択された第*i*番目の表示ライン上の画素電極に表示データを印加するようデータ電極ドライバを制御することとしたので、走査電極ドライバのドライバ出力数を大幅に低減でき、低コストなアクティブマトリクス型液晶表示装置及びその駆動回路を提供することができる。

【0145】また、本発明の第3、第4、第5、第6、及び第7の特徴のアクティブマトリクス型液晶表示装置、並びに第4及び第5の特徴のアクティブマトリクス型液晶表示装置の駆動回路によれば、 $N \times M$ のアクティブマトリクス回路構成において、走査方向の1表示ラインに対して走査ラインを2本ずつ割り当て、任意のデータラインに接続される第1のTFTゲート及び第2のTFTゲートを、1表示ラインに対して割り当てられた2本の走査ラインに独立に接続し、またデータラインに接

続される第3のTFTゲートを、一方の走査ラインに独立に接続するか、或いは第2のTFTゲートを第*i*番目の走査ラインに、第1のTFTゲートを第*i+1*番目の走査ラインにそれぞれ接続して、2個の表示画素を構成し、制御手段により、所定のタイミングで、第*i*番目の走査ライン及び第*i+1*番目の走査ラインに選択電圧を印加し、次のタイミングで、第*i*番目の走査ラインに選択電圧を、第*i+1*番目の走査ラインに非選択電圧をそれぞれ印加し、更に次のタイミングで、第*i*番目の走査ラインに非選択電圧を印加するという一連の動作を、*i*の昇順に繰り返すよう走査電極ドライバを制御することとしたので、表示ライン上の2個の画素電極がTFTゲートを介して1本のデータラインに接続されてデータラインを従来の半分とし、データ電極ドライバのドライバ出力数を半分にすることができ、低コストなアクティブマトリクス型液晶表示装置及びその駆動回路を提供することができる。

【0146】本発明の第5の特徴のアクティブマトリクス型液晶表示装置によれば、第1のTFTトランジスタまたは第2のTFTトランジスタを、走査ライン上に構成することとしたので、TFTゲートを構成する面積を小さくすることができ、画素電極を大きくとることができます。

【0147】本発明の第6の特徴のアクティブマトリクス型液晶表示装置によれば、第3のTFTトランジスタと画素電極の間に、制御端子を第*i*番目の走査ラインに接続した第4のTFTゲートを構成することとしたので、全ての画素電極に対して2つのTFTゲートが接続されることになり、書き込みの特性を均一にすることができる。

【0148】また、本発明の第8の特徴のアクティブマトリクス型液晶表示装置によれば、 $2N$ または $2N+1$ $\times M$ のアクティブマトリクス回路構成において、走査方向の第*i*番目の表示ラインに対して x 番目及び $x+1$ 番目 (x は $3i/2$ 以下の最大の整数) の2本の走査ラインを割り当て、任意のデータライン $6-i-j$ に接続される第1のTFTゲート及び第2のTFTゲートを、それぞれ x 番目及び $x+1$ 番目の走査ラインに独立に接続し、また、走査方向の第*i+1*番目の表示ラインに対して $x+1$ 番目及び $x+2$ 番目の走査ラインを割り当て、任意のデータラインに接続される第3のTFTゲート及び第4のTFTゲートを、それぞれ $x+2$ 番目及び $x+1$ 番目の走査ラインに独立に接続して、4個の表示画素を構成することとしたので、2本の表示ライン上の4個の画素電極がTFTゲートを介して1本のデータラインに接続されており、データラインを従来の半分とし、データ電極ドライバのドライバ出力数を半分にすることができ、低コストなアクティブマトリクス型液晶表示装置を提供することができる。

【0149】本発明の第9の特徴のアクティブマトリク

ス型液晶表示装置によれば、 $2N$ または $2N+1 \times M$ のアクティブマトリクス回路構成において、走査方向の第*i*番目の表示ラインに対して x 番目及び $x+1$ 番目(x は $3i/2$ 以下の最大の整数)の2本の走査ラインを割り当て、任意のデータライン $6-j$ に接続される第1のTFTゲート及び第2のTFTゲートを、それぞれ x 目及び $x+1$ 番目の走査ラインに独立に接続し、また、走査方向の第*i+1*番目の表示ラインに対して $x+1$ 番目及び $x+2$ 番目の走査ラインを割り当て、任意のデータラインに接続される第3のTFTゲート及び第4のTFTゲートを、それぞれ $x+1$ 番目及び $x+2$ 番目の走査ラインに独立に接続して、4個の表示画素を構成することとしたので、2本の表示ライン上の4個の画素電極がTFTゲートを介して1本のデータラインに接続されており、データラインを従来の半分とし、データ電極ドライバのドライバ出力数を半分にすることができ、低コストなアクティブマトリクス型液晶表示装置を提供することができる。

【0150】本発明の第10の特徴のアクティブマトリクス型液晶表示装置によれば、 $2N$ または $2N+1 \times M$ のアクティブマトリクス回路構成において、走査方向の第*i*番目の表示ラインに対して x 番目及び $x+1$ 番目の2本の走査ラインを割り当て、任意のデータライン及び x 番目(x は $3i/2$ 以下の最大の整数)の走査ラインに第1のTFTゲートを、奇数番目の画素電極と偶数番目の画素電極間で $x+1$ 番目の走査ラインに第2のTFTゲートを、それぞれ独立に接続し、また、走査方向の第*i+1*番目の表示ラインに対して $x+1$ 番目及び $x+2$ 番目の走査ラインを割り当て、任意のデータライン及び $x+2$ 番目の走査ラインに第3のTFTゲートを、奇数番目の画素電極と偶数番目の画素電極間で $x+1$ 番目の走査ラインに第4のTFTゲートを、それぞれ独立に接続して、4個の表示画素を構成することとしたので、2本の表示ライン上の4個の画素電極がTFTゲートを介して1本のデータラインに接続されており、データラインを従来の半分とし、データ電極ドライバのドライバ出力数を半分にすることができ、低コストなアクティブマトリクス型液晶表示装置を提供することができる。

【0151】本発明の第11の特徴のアクティブマトリクス型液晶表示装置によれば、 $2N$ または $2N+1 \times M$ のアクティブマトリクス回路構成において、走査方向の第*i*番目の表示ラインに対して x 番目及び $x+1$ 番目(x は $3i/2$ 以下の最大の整数)の2本の走査ラインを割り当て、任意のデータライン及び x 番目の走査ラインに第1のTFTゲートを、奇数番目の画素電極と偶数番目の画素電極間で $x+1$ 番目の走査ラインに第2のTFTゲートを、それぞれ独立に接続し、また、走査方向の第*i+1*番目の表示ラインに対して $x+1$ 番目及び $x+2$ 番目の走査ラインを割り当て、任意のデータライン及び $x+1$ 番目の走査ラインに第3のTFTゲートを、

奇数番目の画素電極と偶数番目の画素電極間で $x+2$ 番目の走査ラインに第4のTFTゲートを、それぞれ独立に接続して、4個の表示画素を構成する事としたので、2本の表示ライン上の4個の画素電極がTFTゲートを介して1本のデータラインに接続されており、データラインを従来の半分とし、データ電極ドライバのドライバ出力数を半分にすることができ、低コストなアクティブマトリクス型液晶表示装置を提供することができる。

【0152】本発明の第12の特徴のアクティブマトリクス型液晶表示装置によれば、第1、第2、第3及びまたは第4のTFTゲートF1、F2、F3、及びまたはF4を、2個のTFTゲートを並列接続して構成することとしたので、TFTゲートの冗長構成になりながら、並列につながれたTFTゲートに欠陥が無い場合には、より大きな電流を液晶セルに供給できるので、高速な駆動が可能となる。

【0153】また、本発明の第8、第9、第10、第11、第12、及び第13の特徴のアクティブマトリクス型液晶表示装置、並びに第6の特徴のアクティブマトリクス型液晶表示装置の駆動回路によれば、制御手段によって、第 x 番目の走査ライン及び第 $x+1$ 番目の走査ラインの双方が同時に選択された第*i*番目の表示ライン上の画素電極に表示データを印加するようデータ電極ドライバを制御することとしたので、データ電極ドライバのドライバ出力数を低減させることができ、低コストなアクティブマトリクス型液晶表示装置及びその駆動装置を提供することができる。

【0154】更に、本発明のアクティブマトリクス型液晶表示装置では、カラー表示を行なう場合には、画素電極として、横方向に赤画素電極、緑画素電極、及び青画素電極を順に配列して1カラー画素を構成することとしたので、カラー表示に対応できる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の原理説明図である。

【図3】本発明(請求項1または2)の原理説明図である。

【図4】本発明の原理説明図である。

【図5】本発明の原理説明図であり、図5(1)は請求項6または7に、図5(2)は請求項8に、図5(3)は請求項9にそれぞれ対応する。

【図6】本発明(請求項6、7、8、または9)の作用説明図である。

【図7】図7(1)は本発明(請求項13)の原理説明図、図7(2)は作用説明図である。

【図8】図8(1)は本発明(請求項14)の原理説明図、図8(2)は作用説明図である。

【図9】図9(1)は本発明(請求項15)の原理説明図、図9(2)は作用説明図である。

50 【図10】図10(1)は本発明(請求項16)の原理

41

説明図、図10(2)は作用説明図である。

【図11】図11(1)は本発明(請求項17)の原理説明図、図11(2)は作用説明図である。

【図12】本発明の第1実施例及び第2実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図である。

【図13】第1実施例の動作を説明するタイミングチャートである。

【図14】第1実施例の動作を説明するタイミングチャートである。

【図15】第2実施例の動作を説明するタイミングチャートである。

【図16】第2実施例の動作を説明するタイミングチャートである。

【図17】従来例と第1及び第2実施例のアクティブマトリクス型液晶表示装置の回路数及びコストの比較図である。

【図18】本発明の第3実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図である。

【図19】第3実施例の動作説明図である。

【図20】第3実施例の動作を説明するタイミングチャートである。

【図21】第3実施例の実装配線図である。

【図22】第3実施例の実装配線図である。

【図23】本発明の第4実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図である。

【図24】第4実施例の動作を説明するタイミングチャートである。

【図25】本発明の第5実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図である。

【図26】第5実施例の動作を説明するタイミングチャートである。

【図27】本発明の第6実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図である。

【図28】第6実施例の動作を説明するタイミングチャートである。

42

【図29】本発明の第7実施例に係るアクティブマトリクス型液晶表示装置及びその駆動回路の構成図である。

【図30】従来のアクティブマトリクス型液晶表示装置及びその駆動回路の構成図である。

【符号の説明】

1, 101…液晶表示パネル

2, 102…(第1)データ電極ドライバ

3…(第2)データ電極ドライバ

4, 104…(第1)走査電極ドライバ

10…(第2)走査電極ドライバ

6, 6-1, …, 6-j, …6-M/2, 6-M/2+

1, …, 6-M…データライン

8, 8-1, …, 8-i, 8-i+1, 8-i+2,

…, 8-N, 8-N+1, …, 8-2N…走査ライン

10, 11…走査ラインのグループ

15…データ処理回路

16…タイミング発生回路(制御手段)

1(i, k), 1(i, k+1), 1(i+1, k),

1(i+1, k+1)…画素電極

20 R…赤画素電極

G…緑画素電極

B…青画素電極

T, T1, T2, G1, G2, Q1, Q2, P1~P

4, F1~F4…TFTゲート

Da1~Da4, Db1~Db4…出力ドライバ

Rdata, Gdata, Bdata…データ信号

DATA…入力データ

Hsync…水平同期信号

Vsync…垂直同期信号

30 Scon, Scon1, Scon2…走査ドライバ制御信号

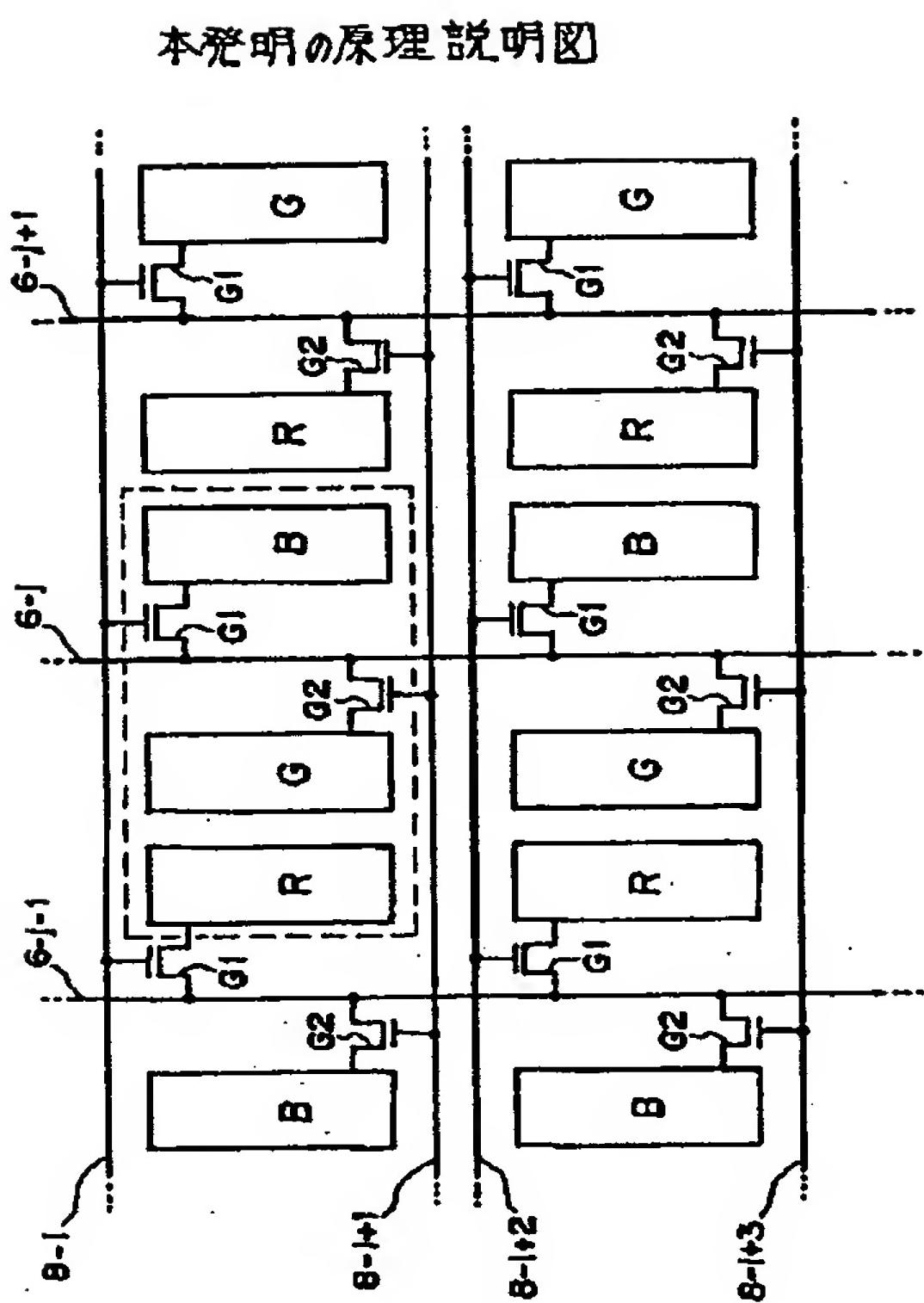
Dcon…データドライバ制御信号

CLK…クロック

S11, S12…シフト入力

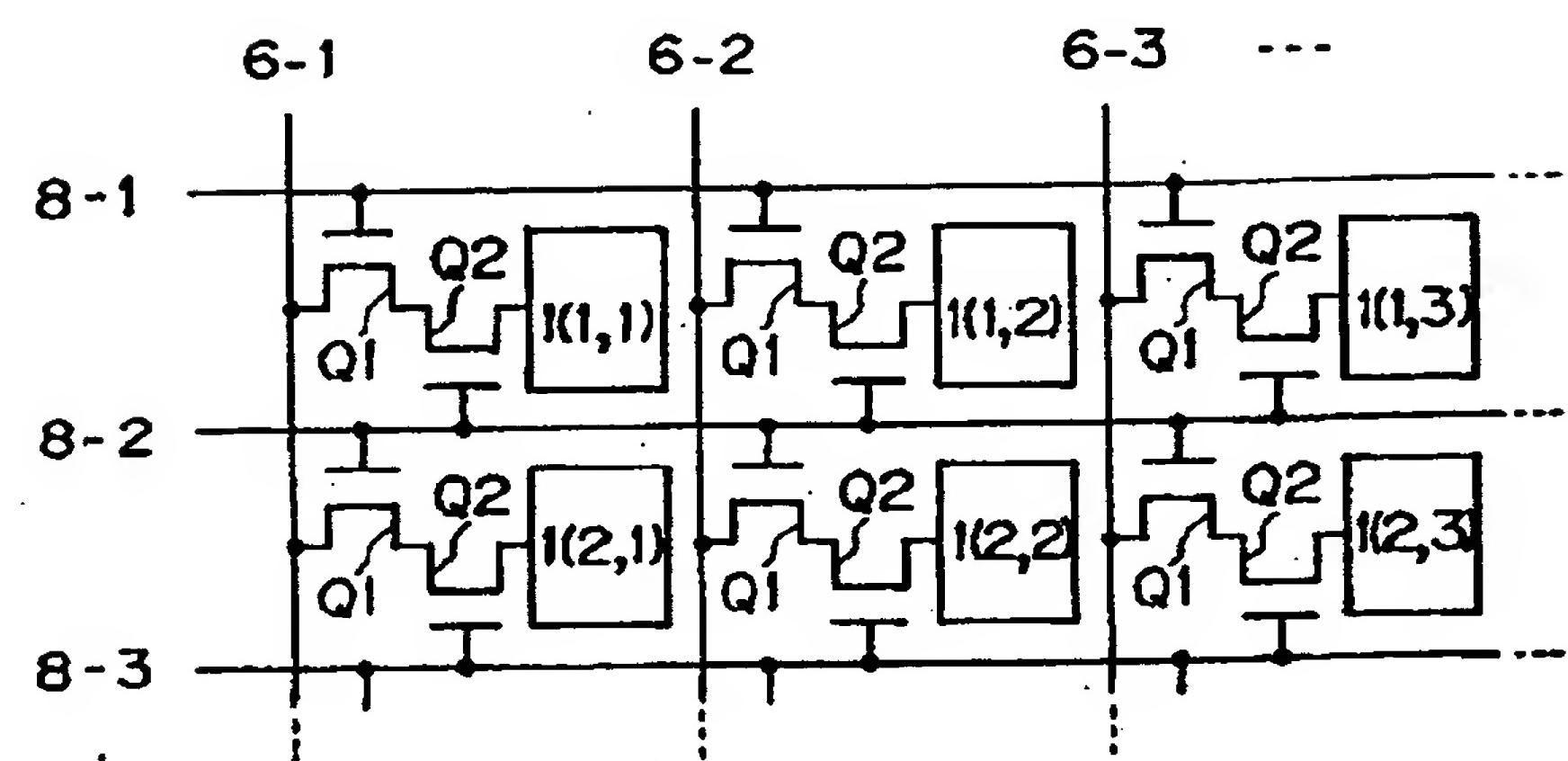
OE1, OE2…出力イネーブル信号

【図1】



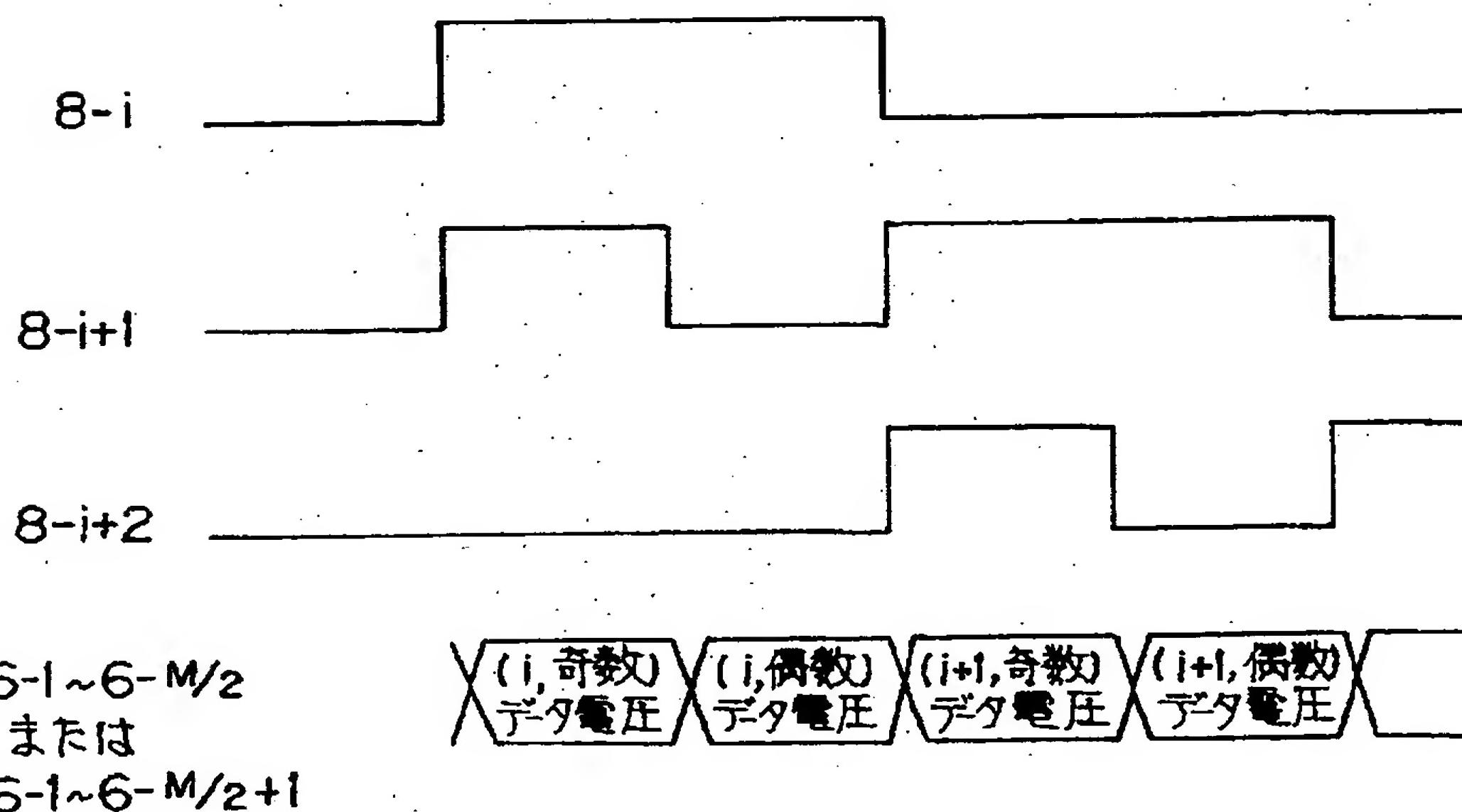
【図3】

本発明の原理説明図



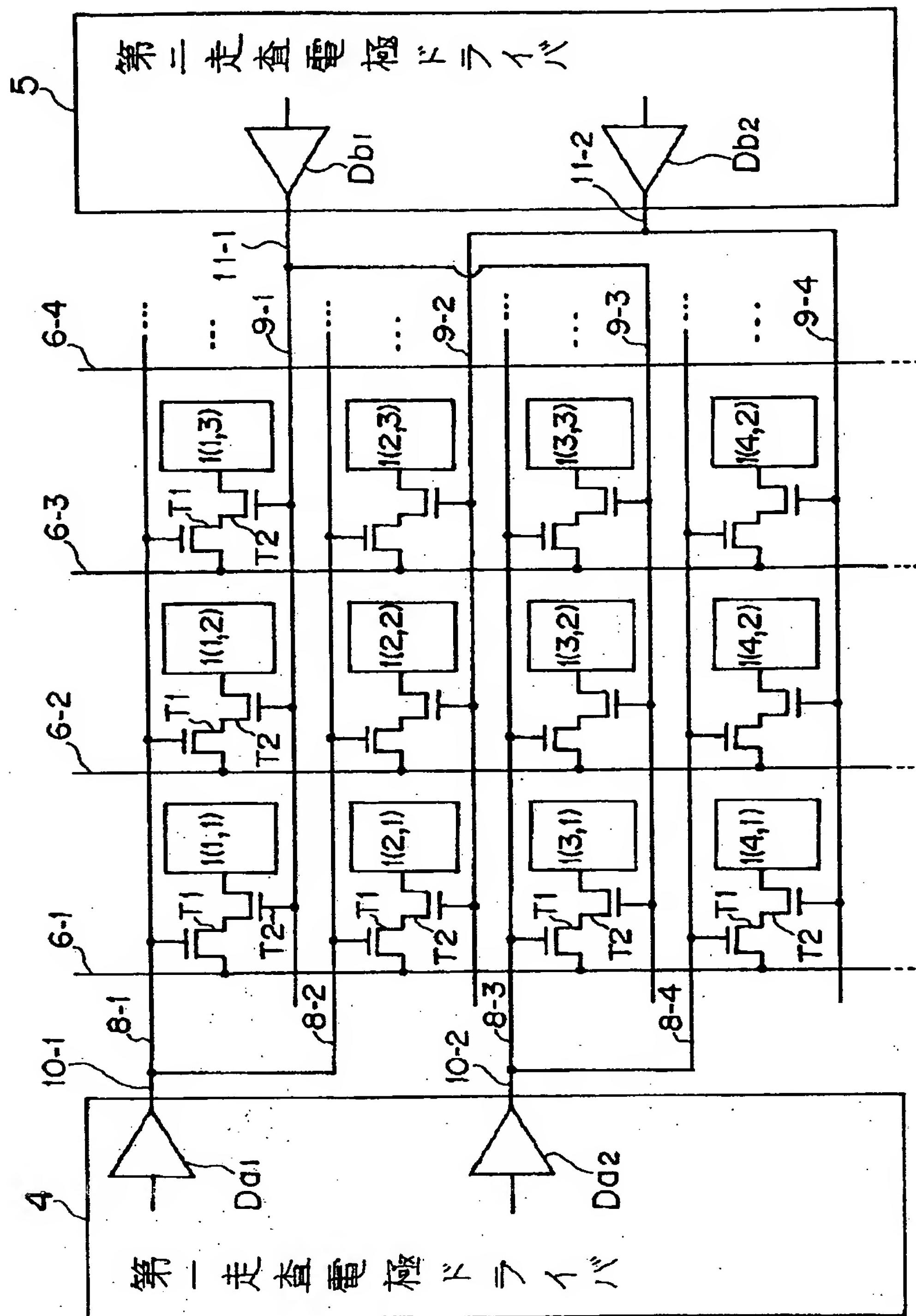
【図6】

本発明の作用説明図



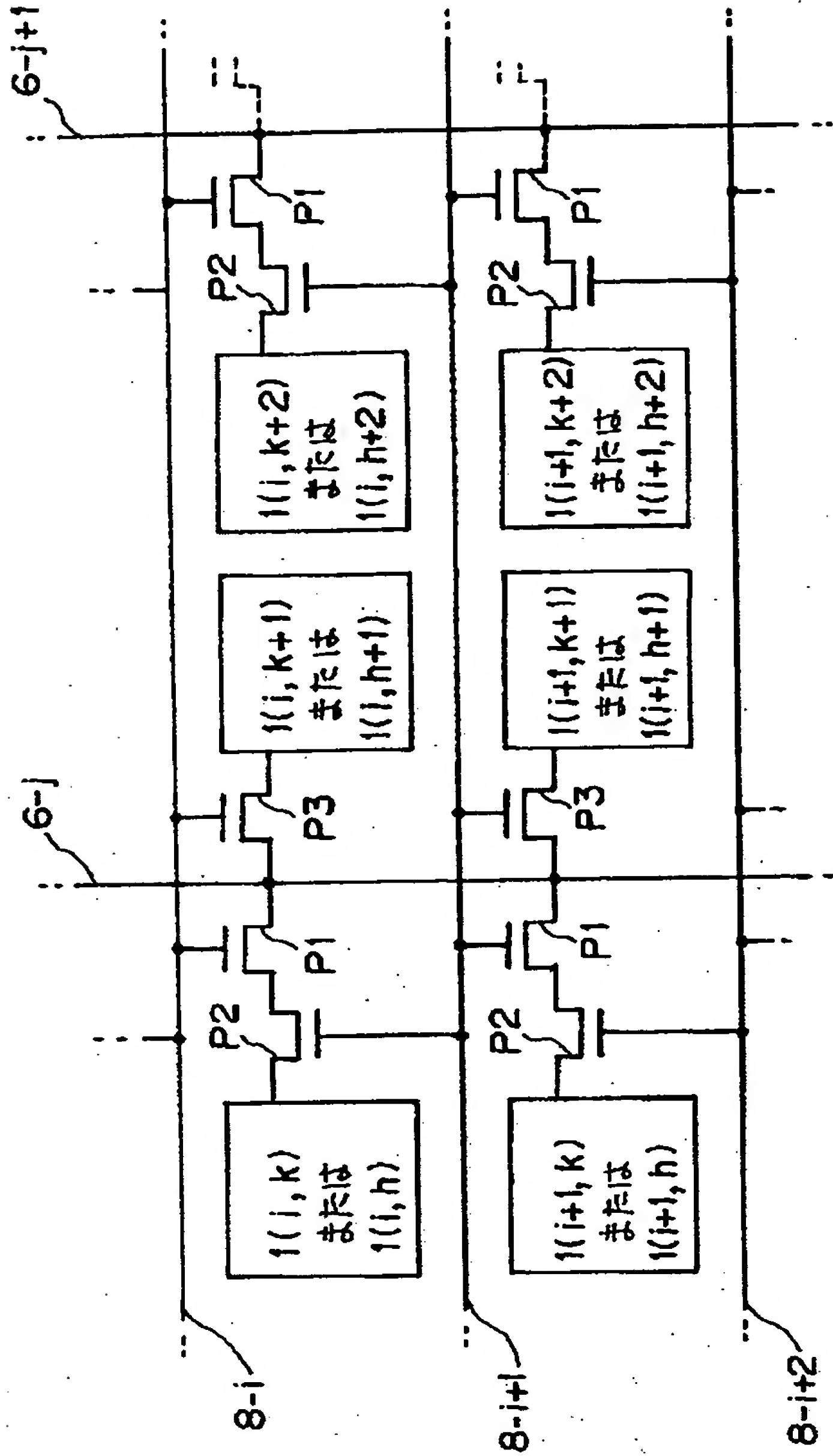
【図2】

本発明の原理説明図



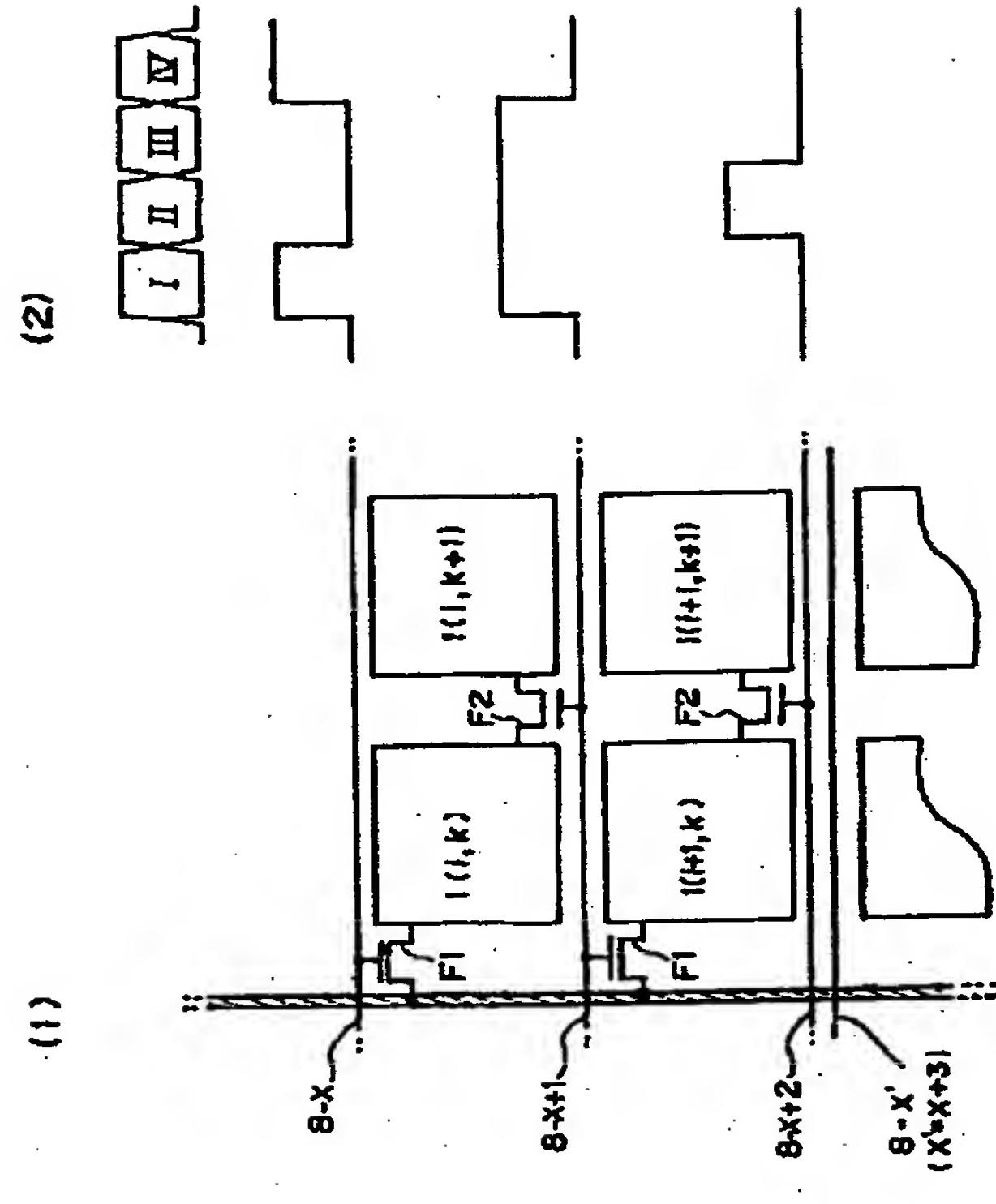
【図4】

本発明の原理説明図



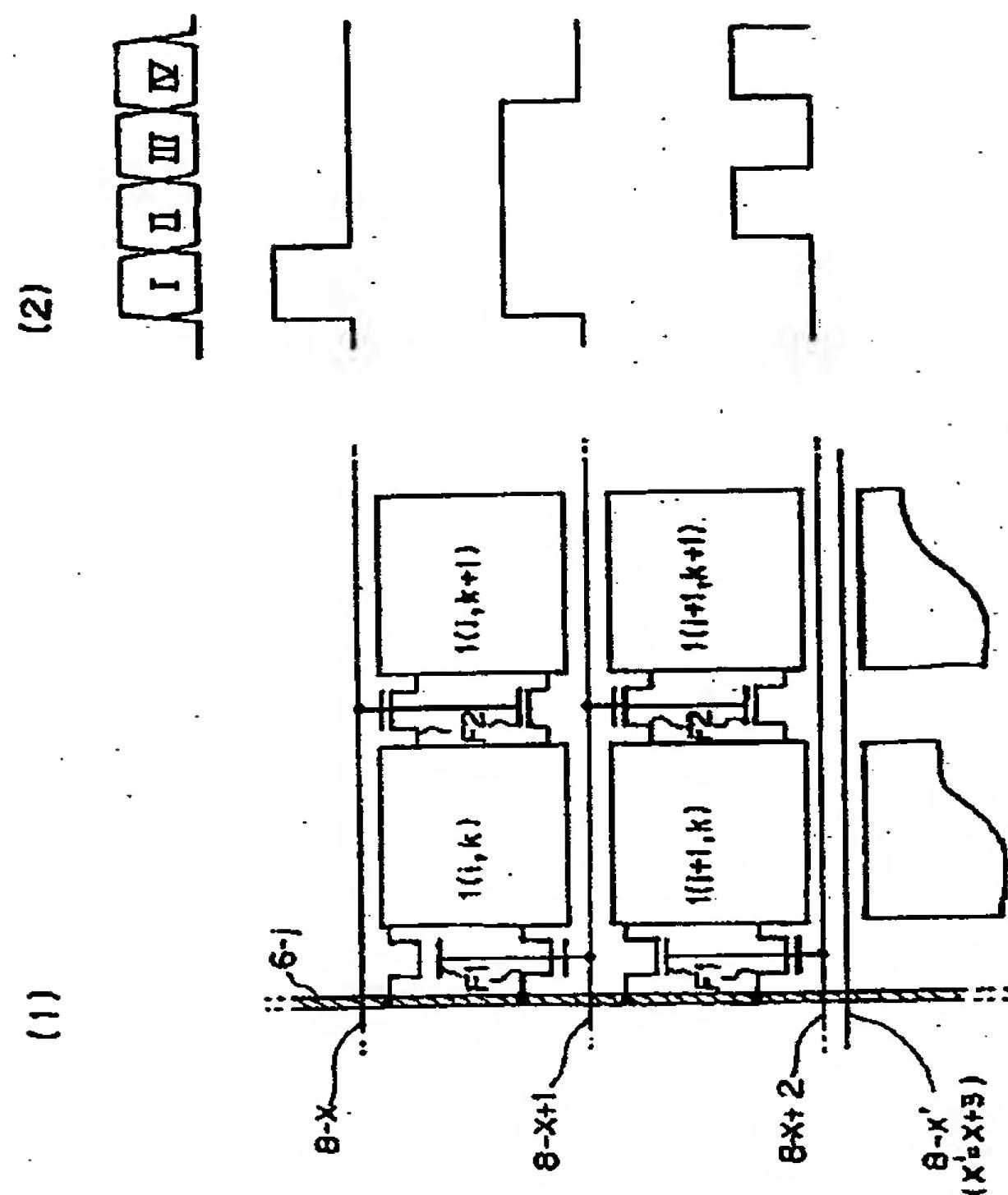
【図10】

本発明の原理説明図



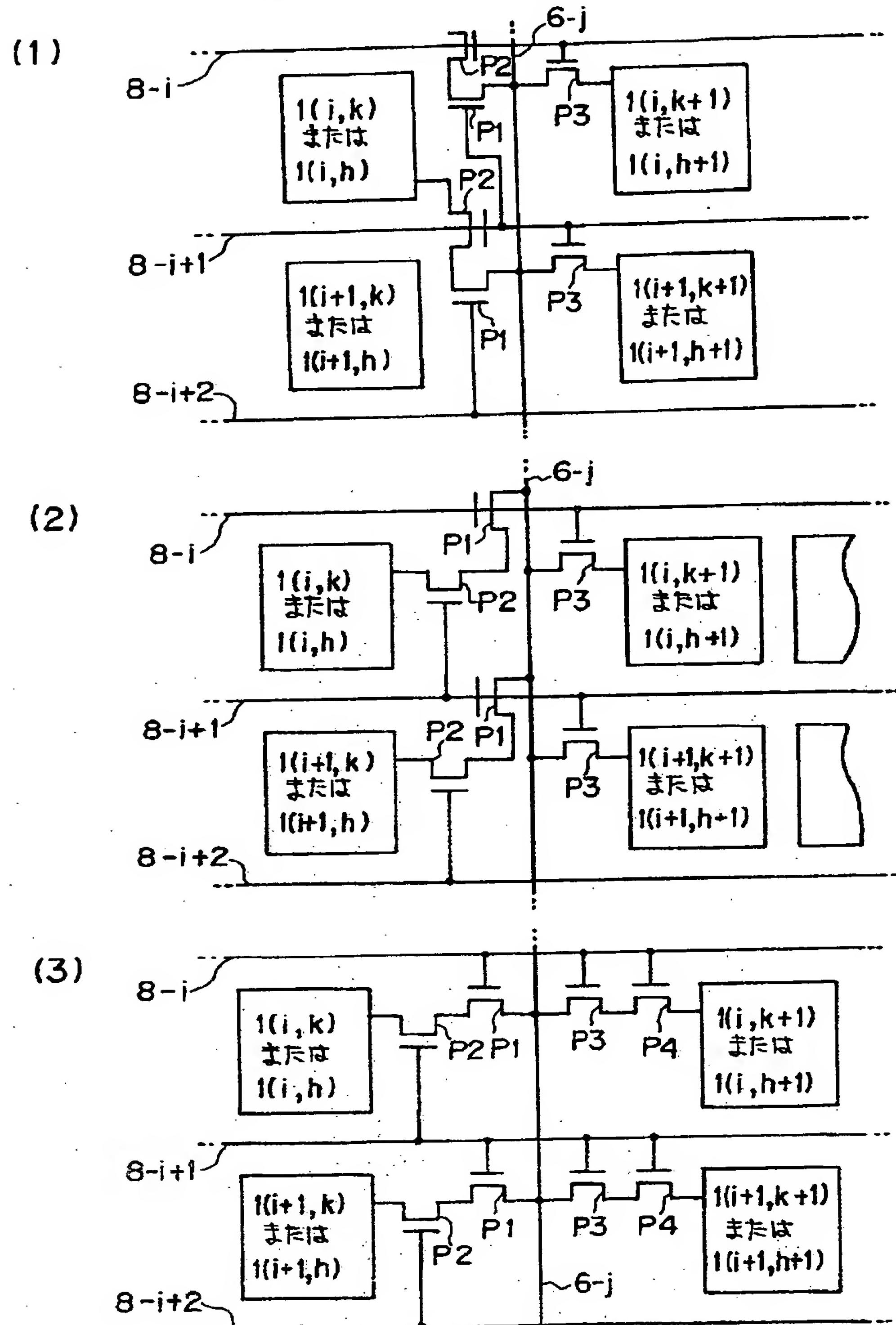
【図11】

本発明の原理説明図



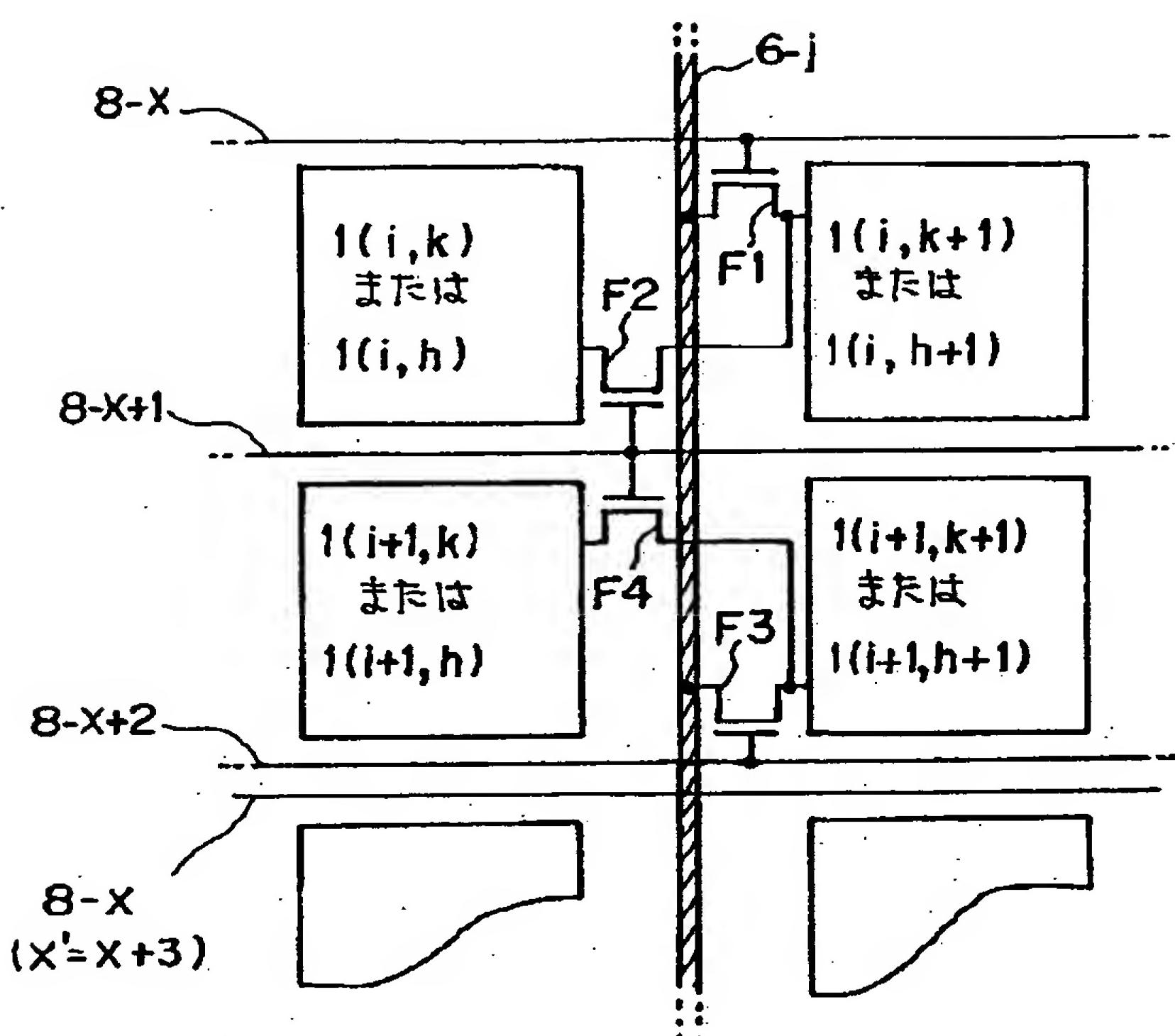
【図5】

本発明の原理説明図

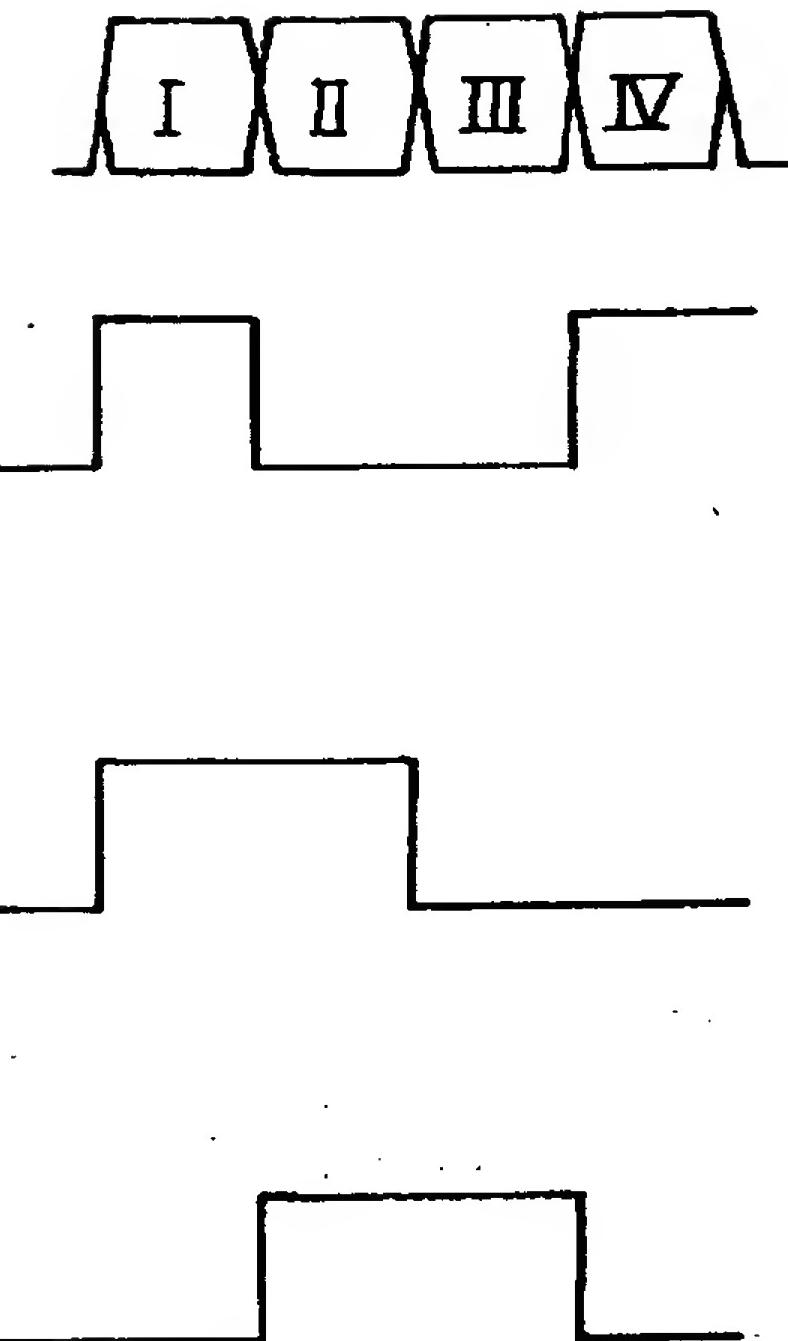


【図7】

(1)

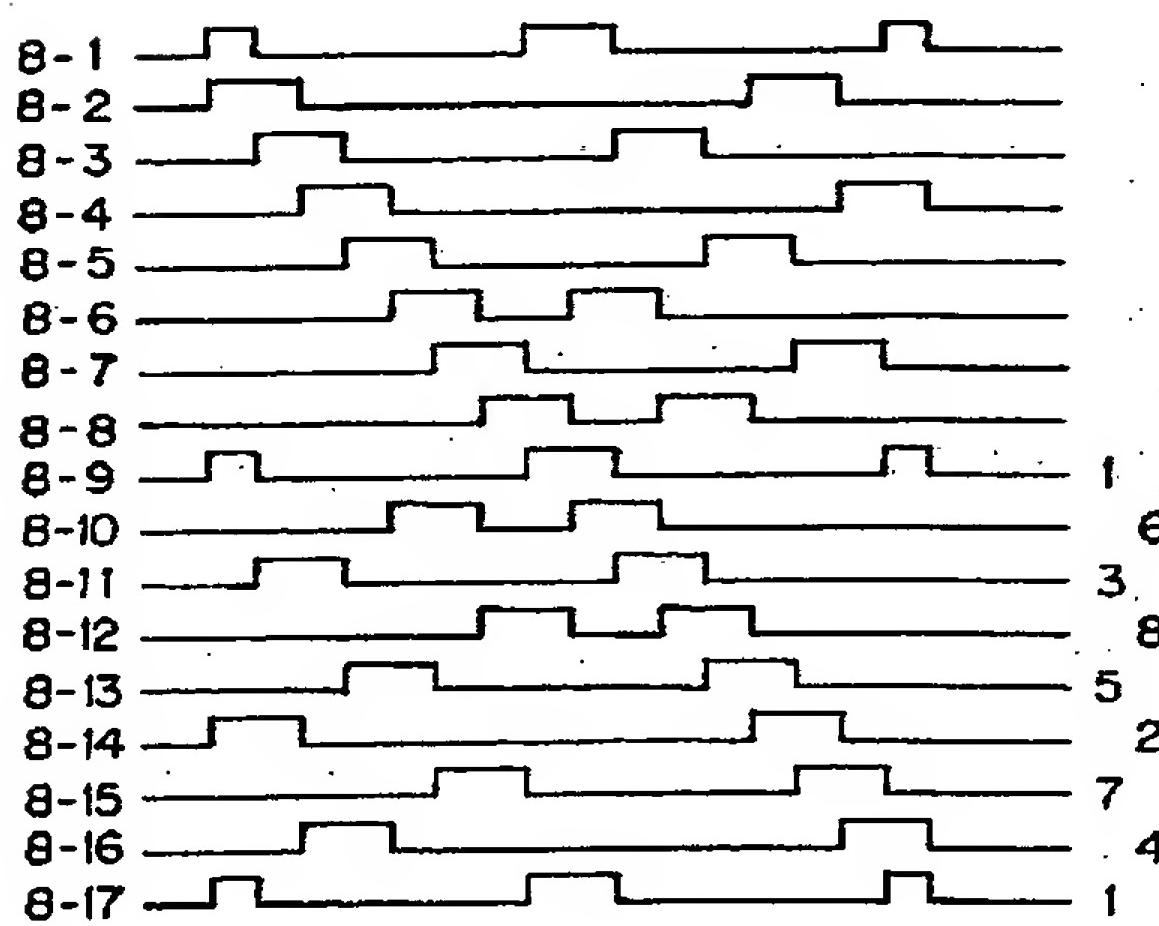


(2)



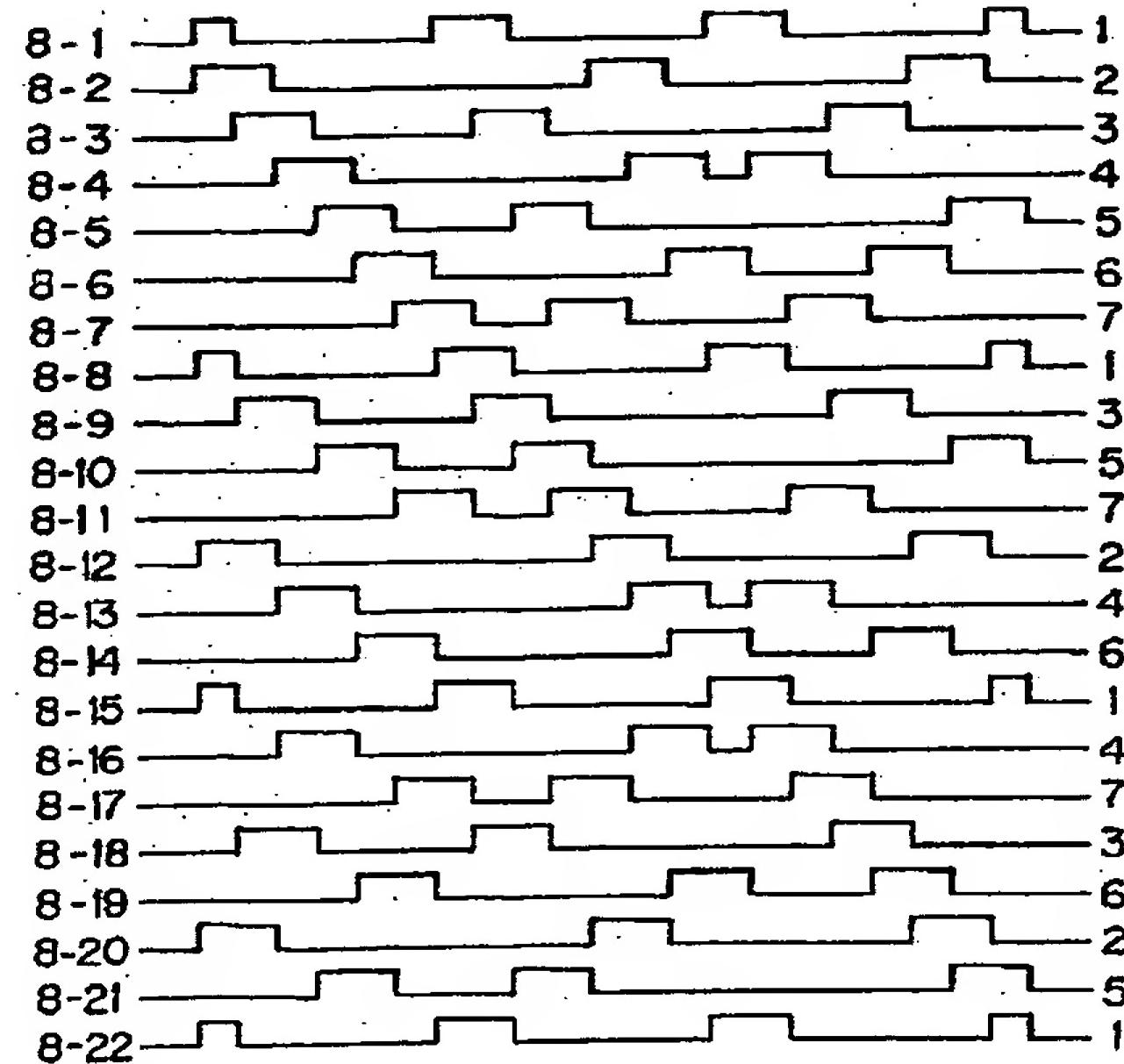
【図24】

第4実施例のタイミングチャート



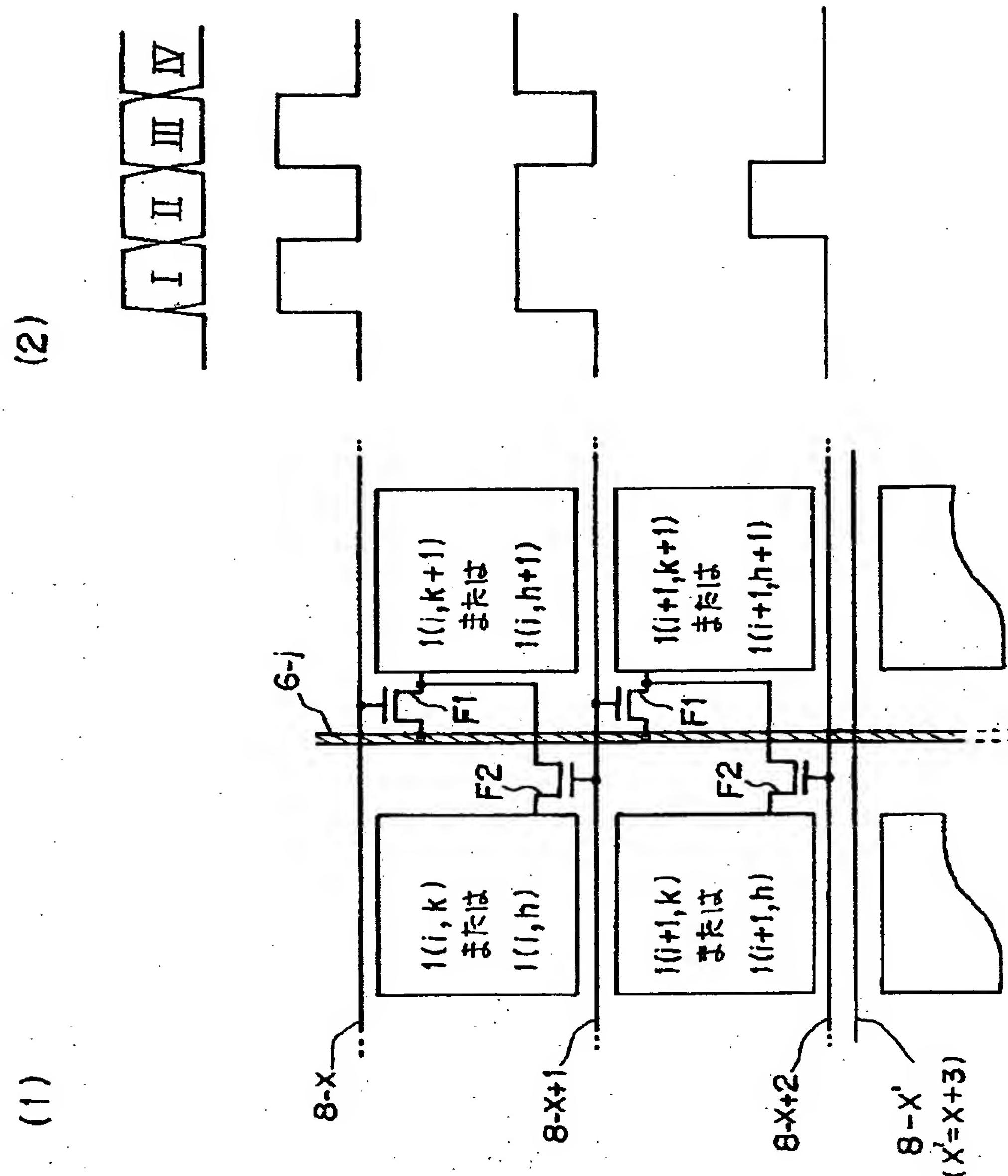
【図26】

第5実施例のタイミングチャート



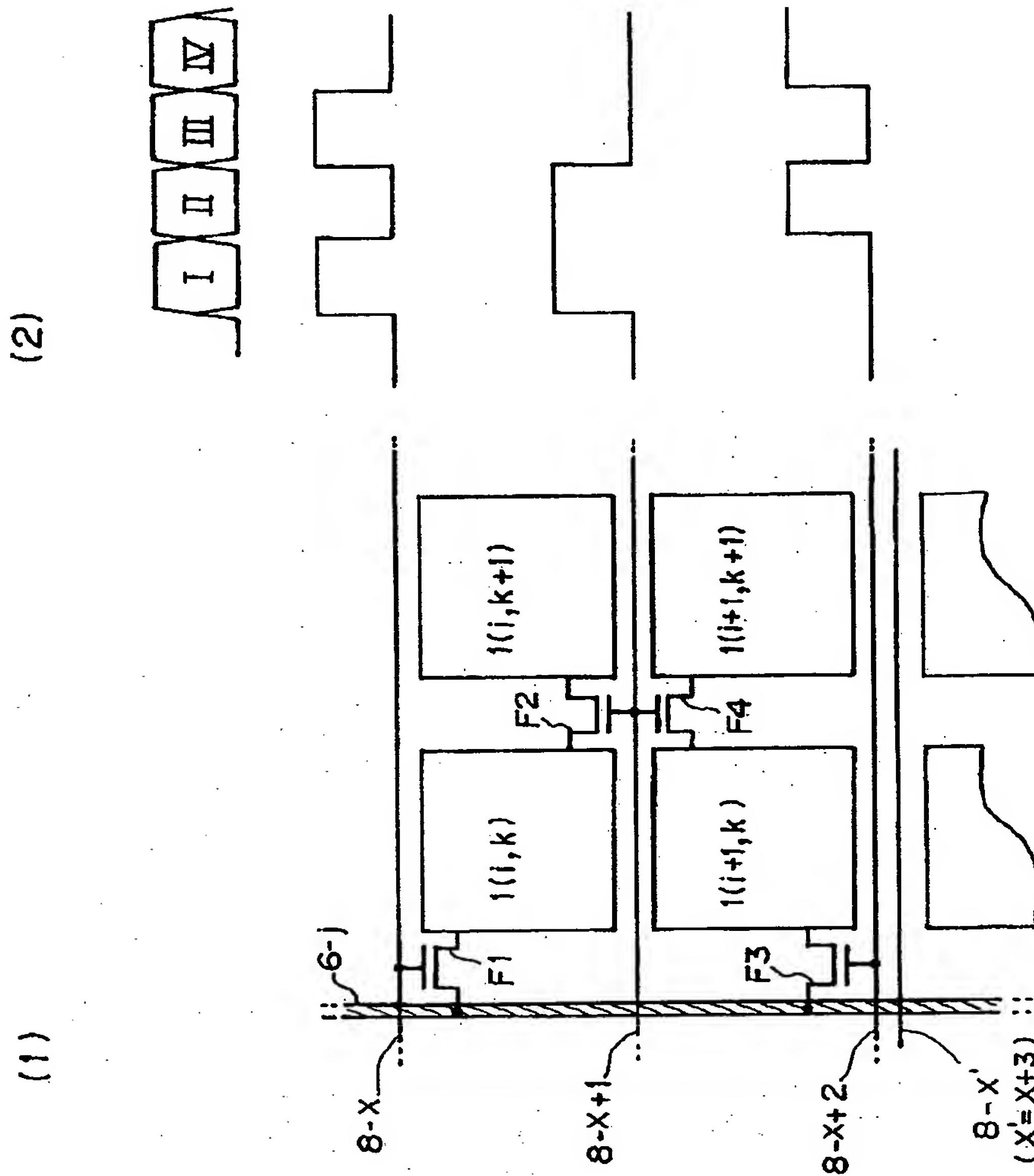
【図8】

本発明の原理説明図



【図9】

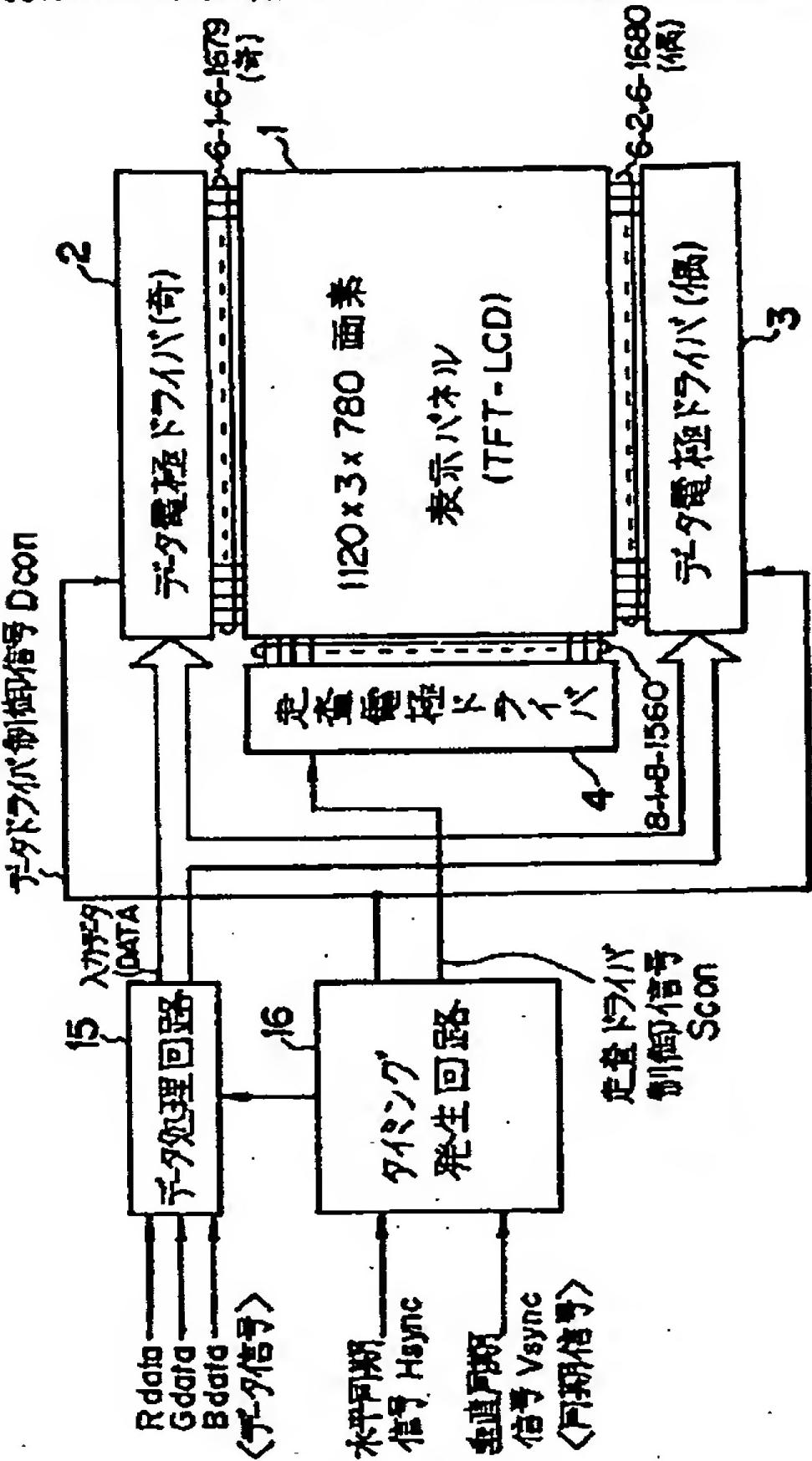
本発明の原理説明図



[图 12]

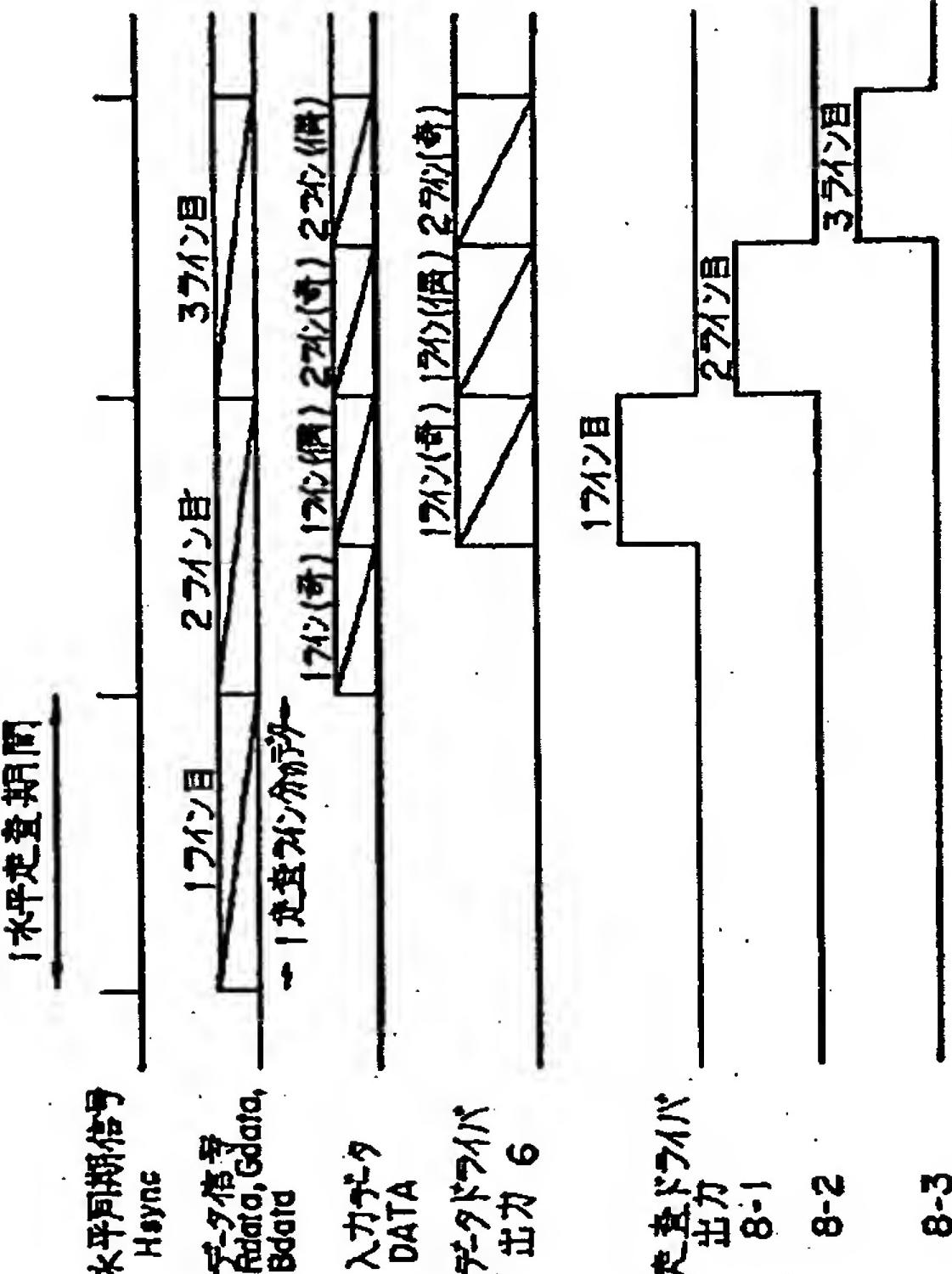
13

第1及び第2実施例のアクティブマトリクス型液晶表示装置の構成図



[図17]

第1実施例のタイミングチャート



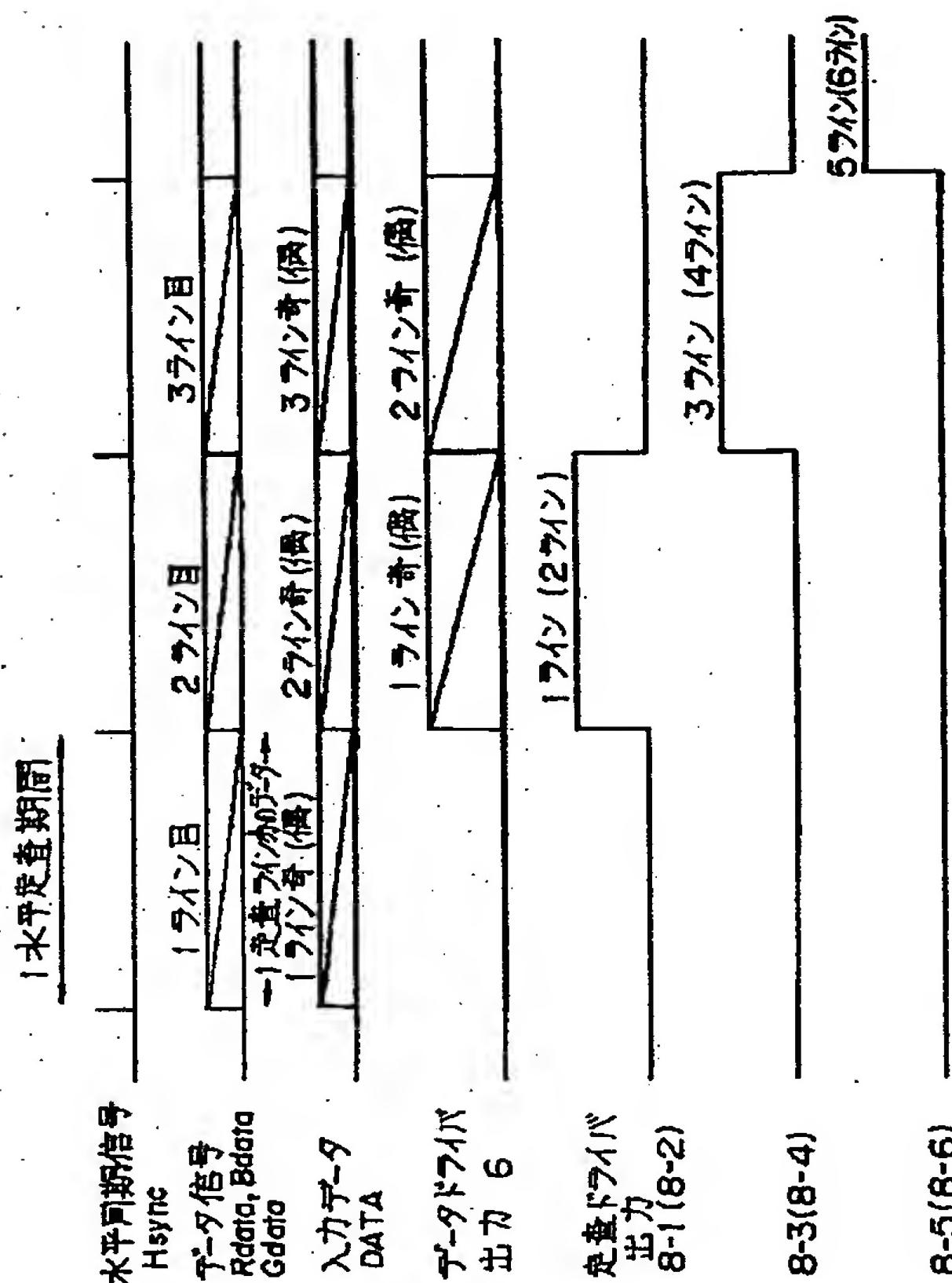
[図15]

従来例と第1及び第2実施例の比較

従来例		データ側 〔3〕	ゲート側 〔1〕	回路数 の合計	コスト
回路数	3360本 (1120×3)	780本	4140本	10,860	$3360 \times 3 + 780 \times 1$
接続ビッチ	0.1 mm	0.3 mm	—	—	—
回路数	1680本 $(1120 \times 3 + 2)$	1560本 (780×2)	3240本	6,600	$1680 \times 3 + 1560 \times 2$
接続ビッチ	0.2 mm	0.15 mm	—	—	—

注)・1120×RGB×780の表示パネルにおける比較
：(1)肉眼ではトゼ

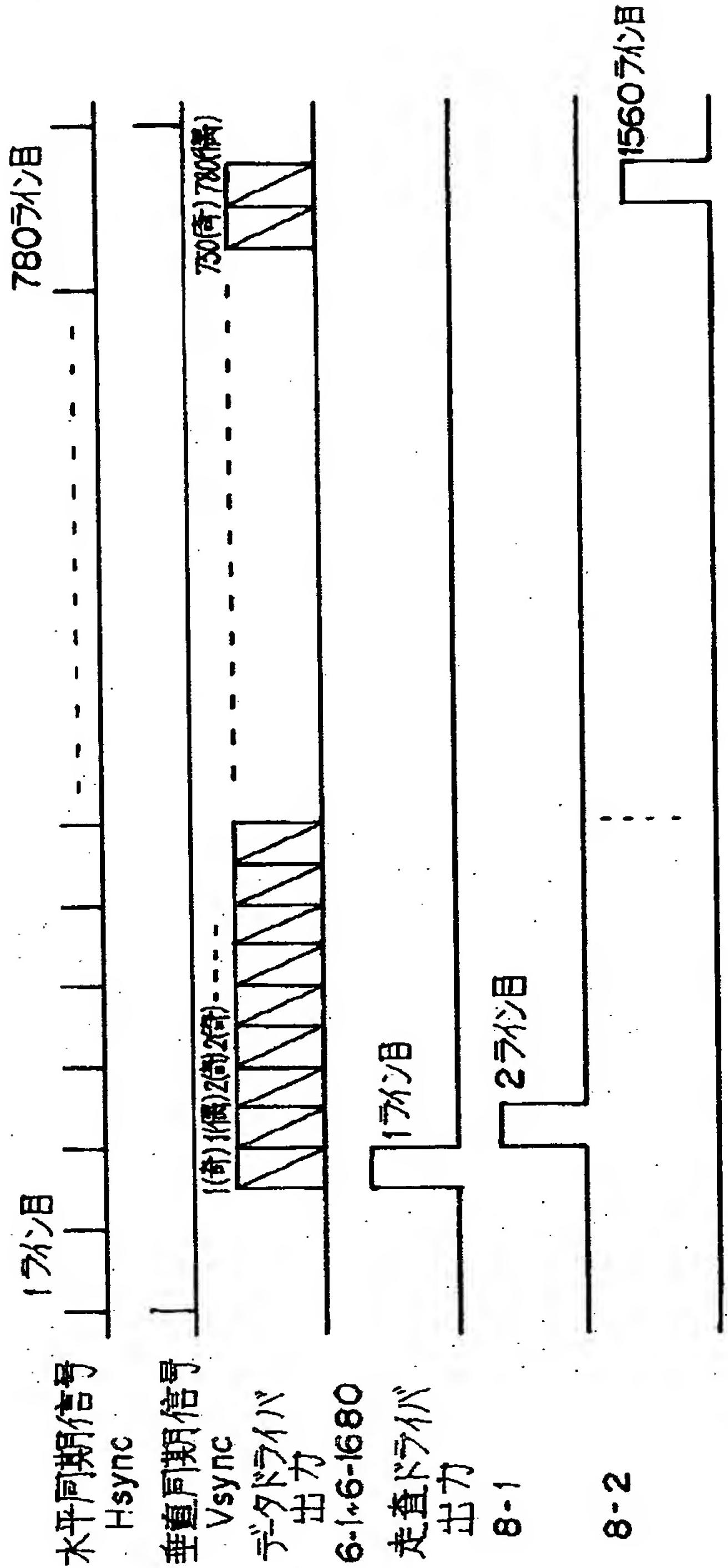
第2実施例のタイミングチャート



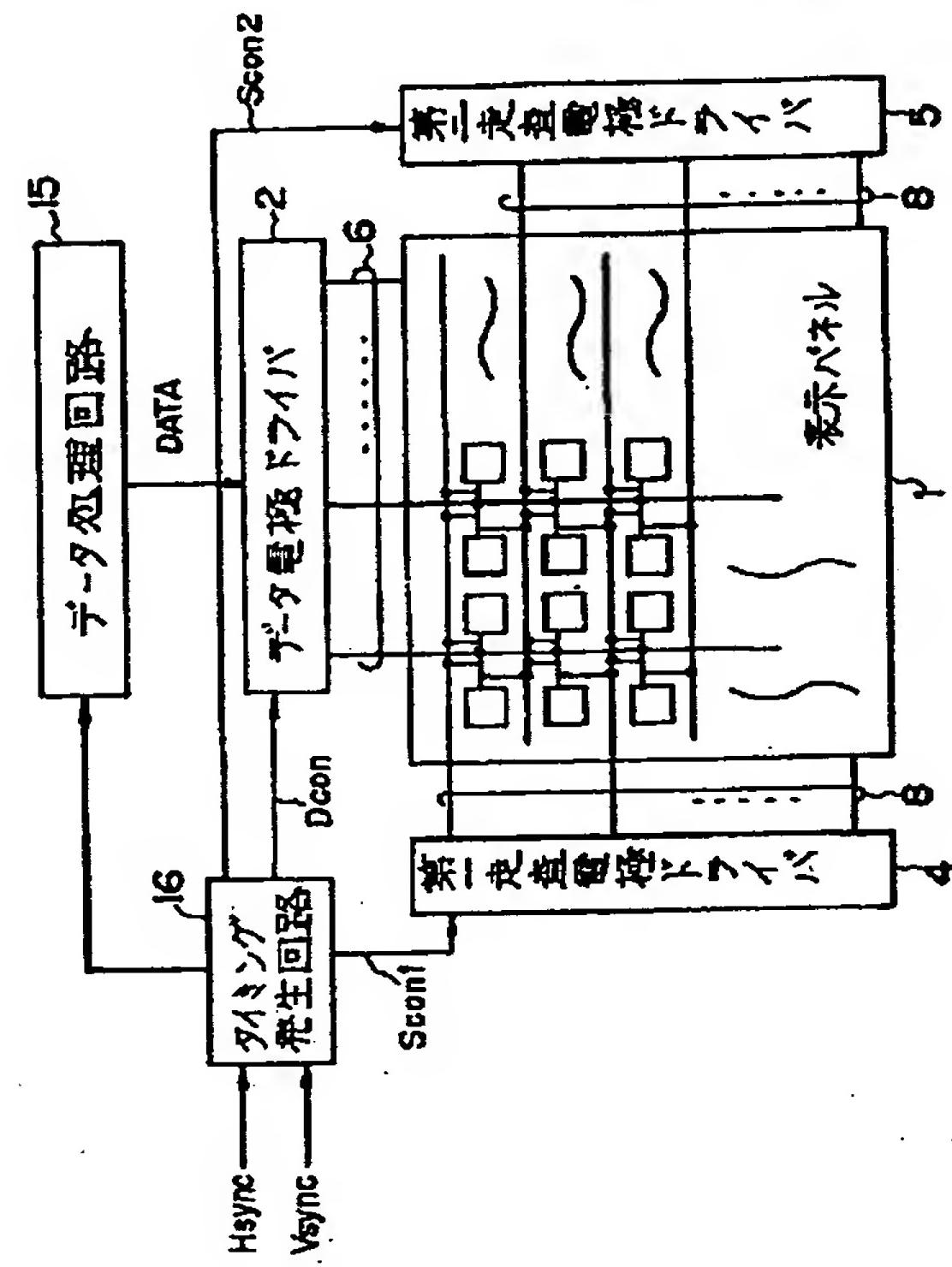
[図14]

[图27]

第1実施例のタイミングチャート

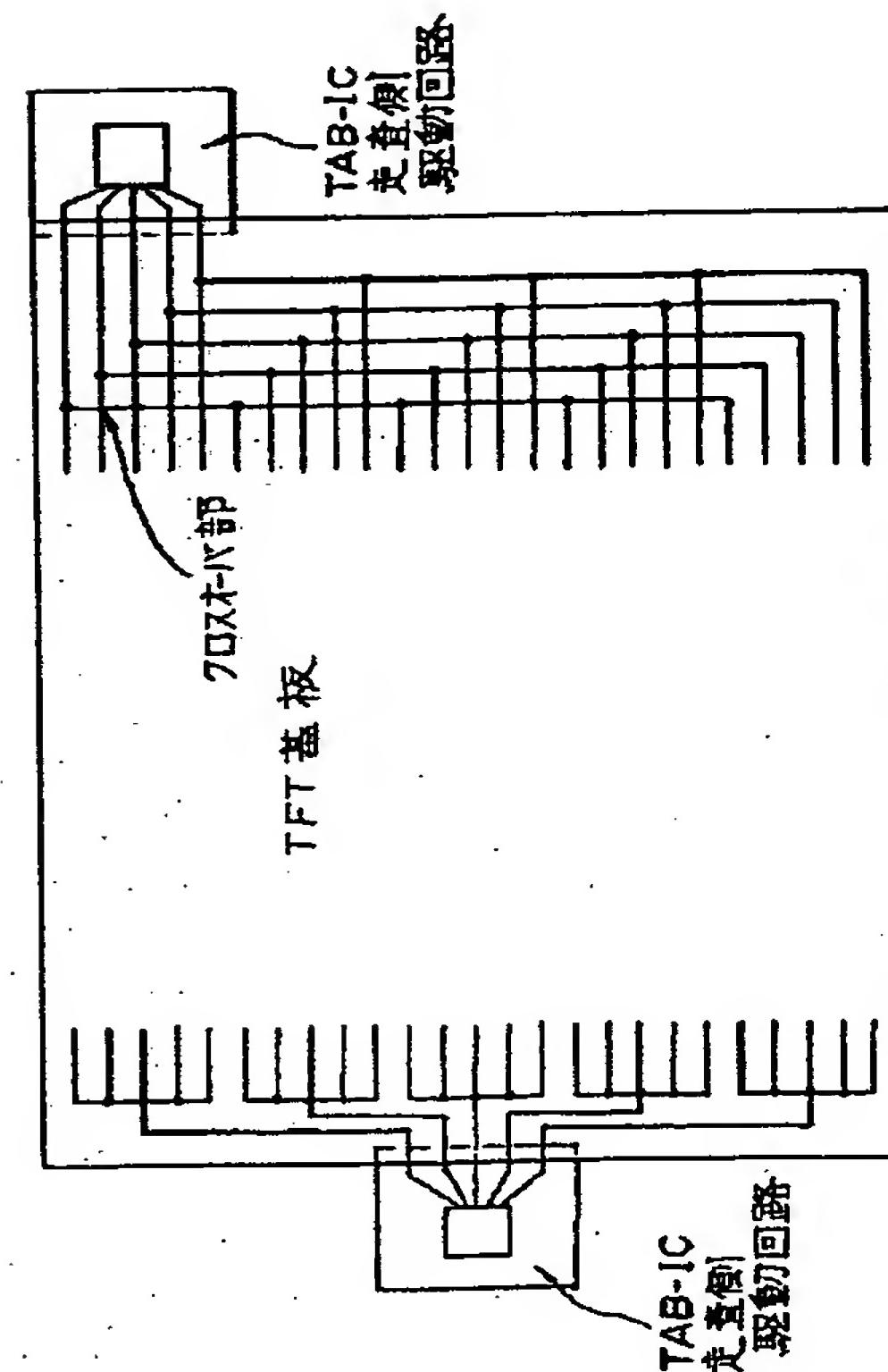


第6実施例のアクティブマトリクス型液晶表示装置の構成図



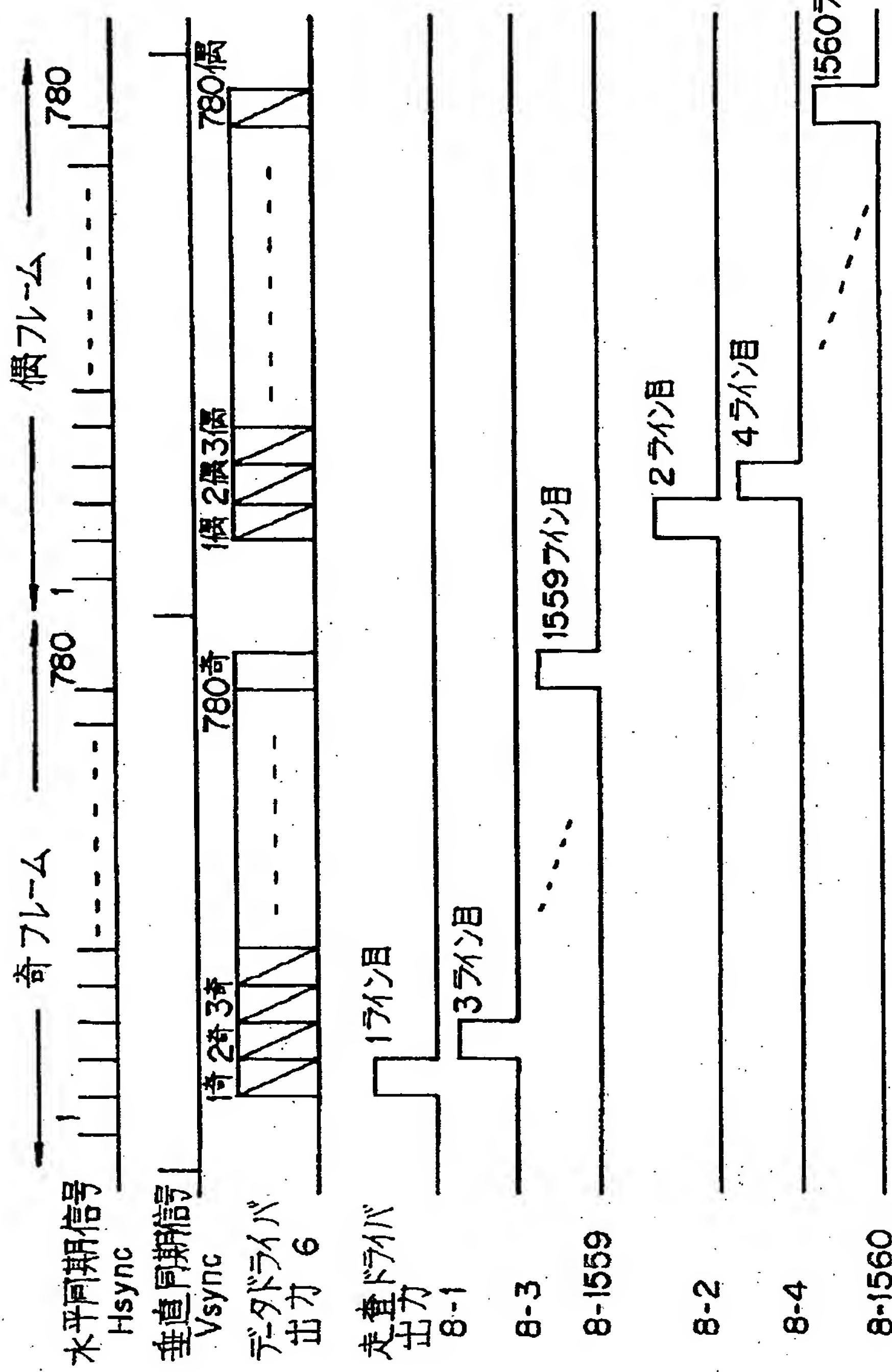
[图21]

第3実施例の実装配図



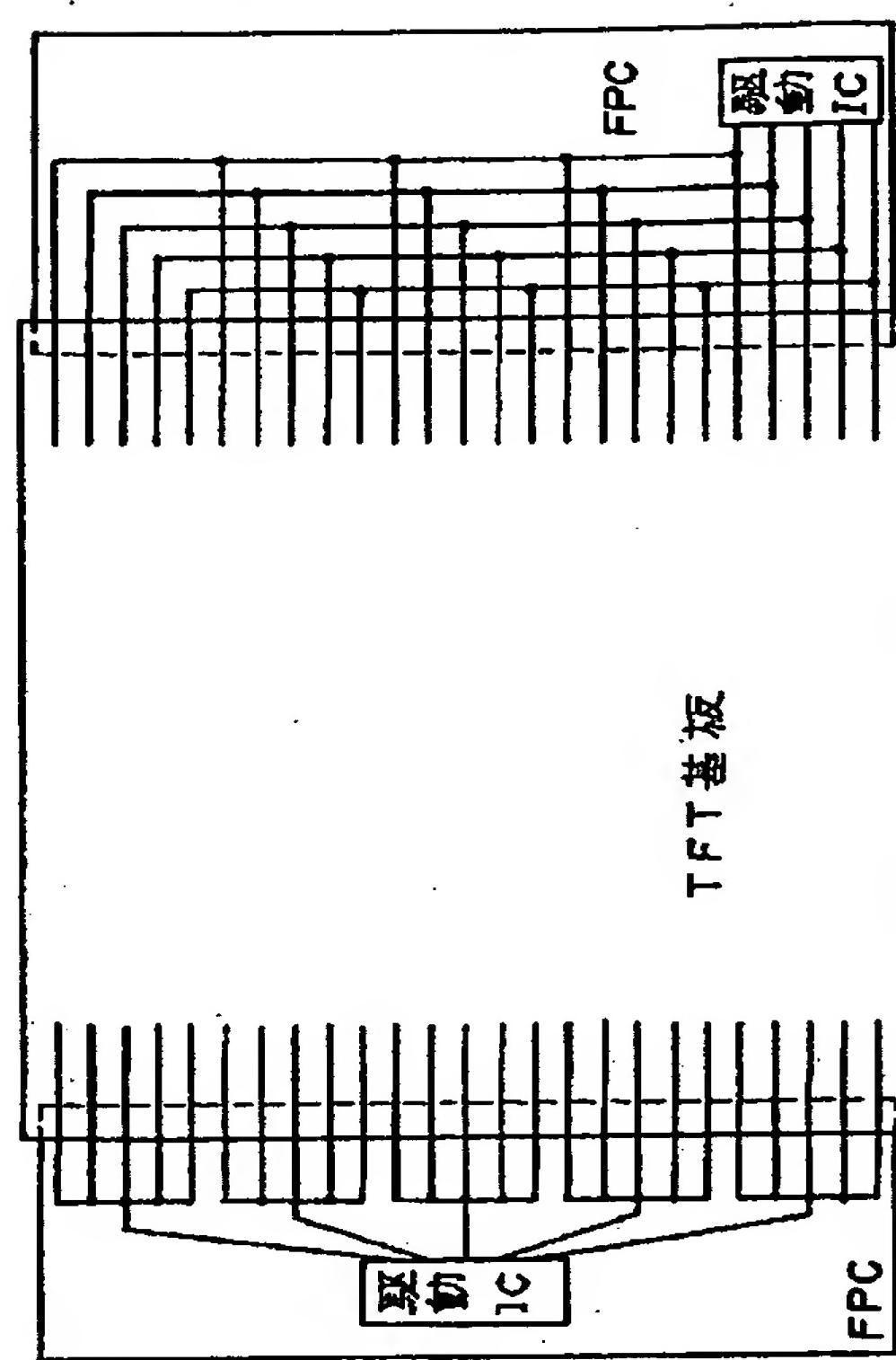
【図16】

第2実施例のタイミングチャート



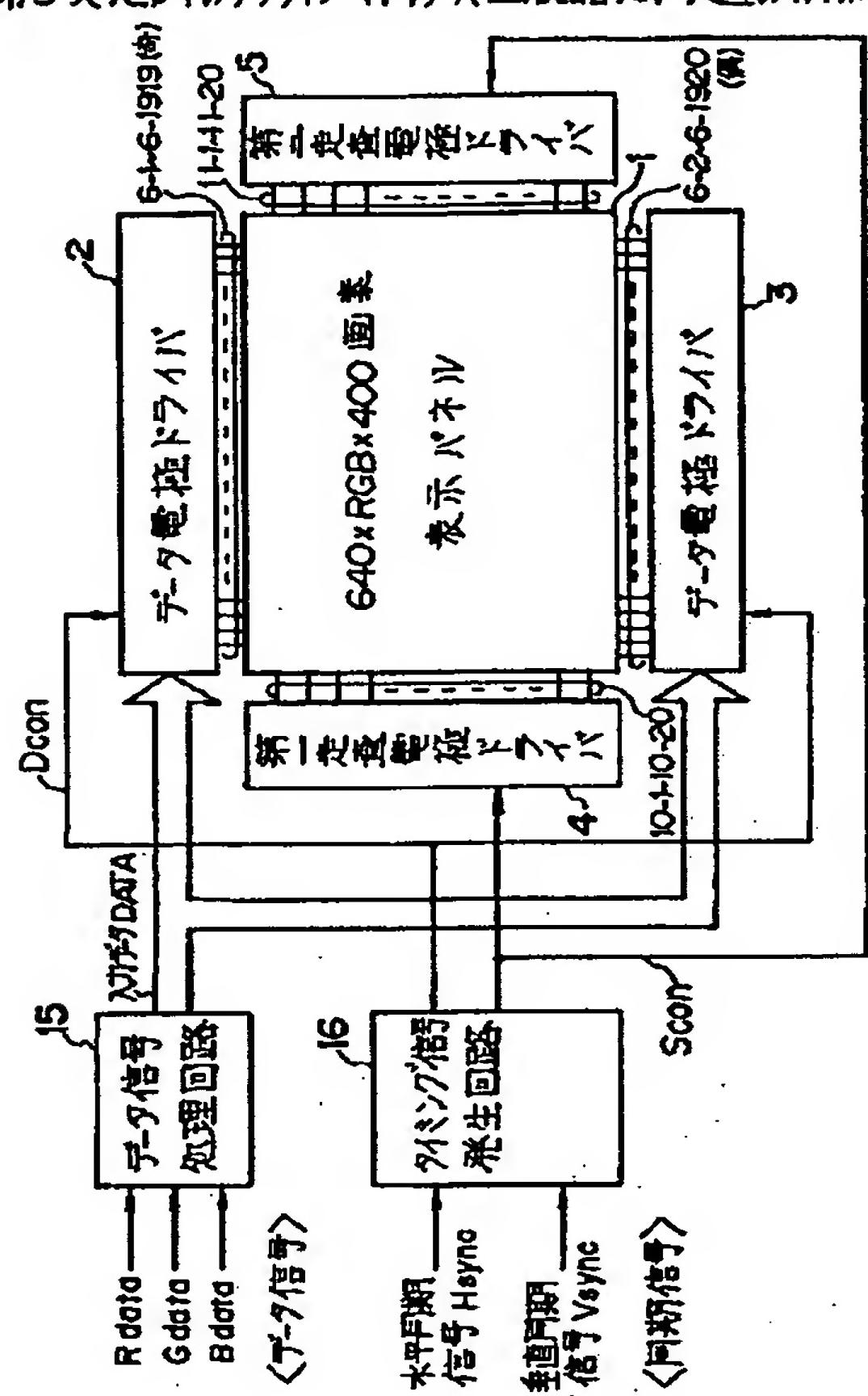
【図22】

第3実施例の実装配線図



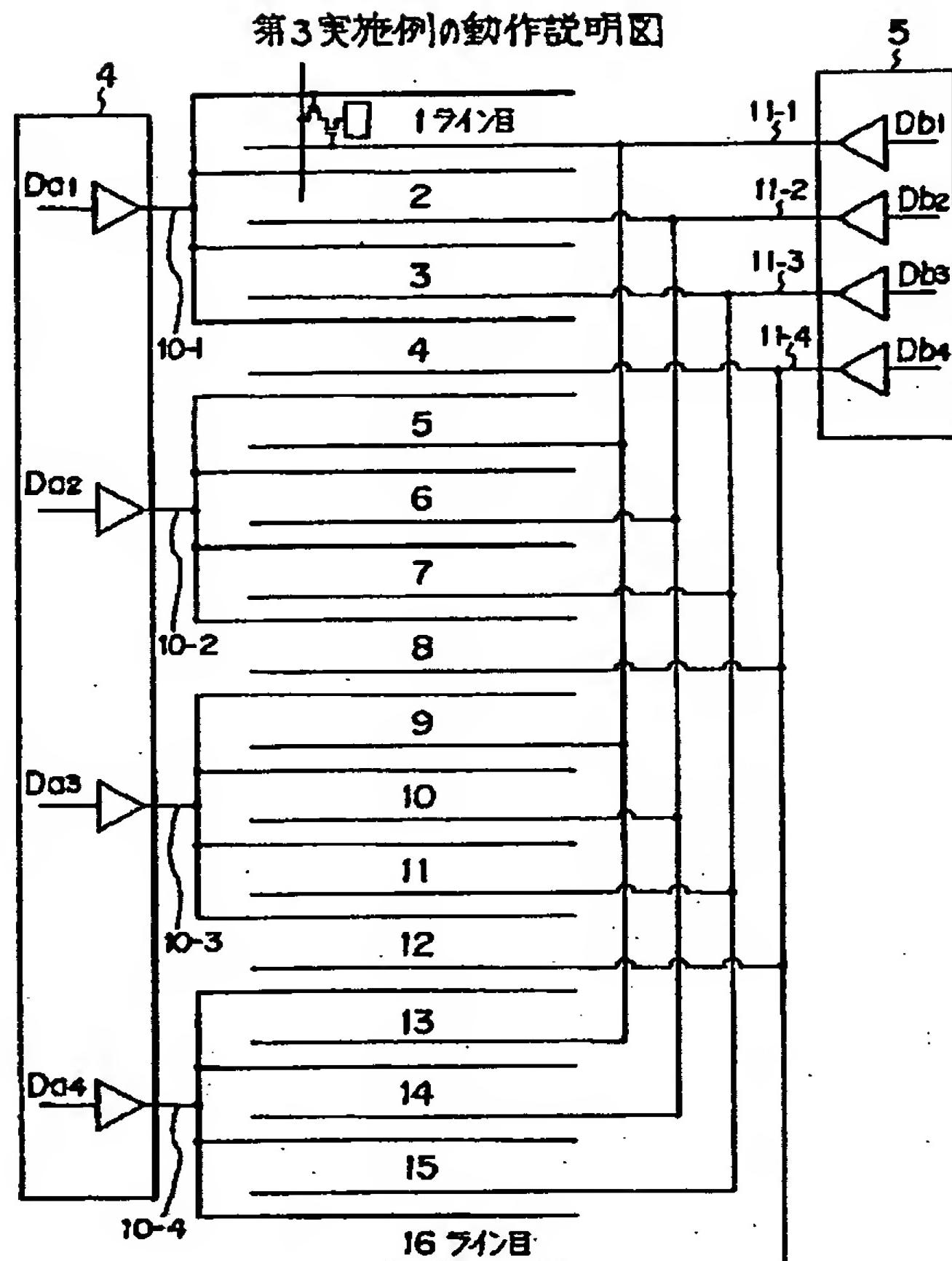
【図18】

第3実施例のアクティブマトリクス型液晶表示装置の構成図



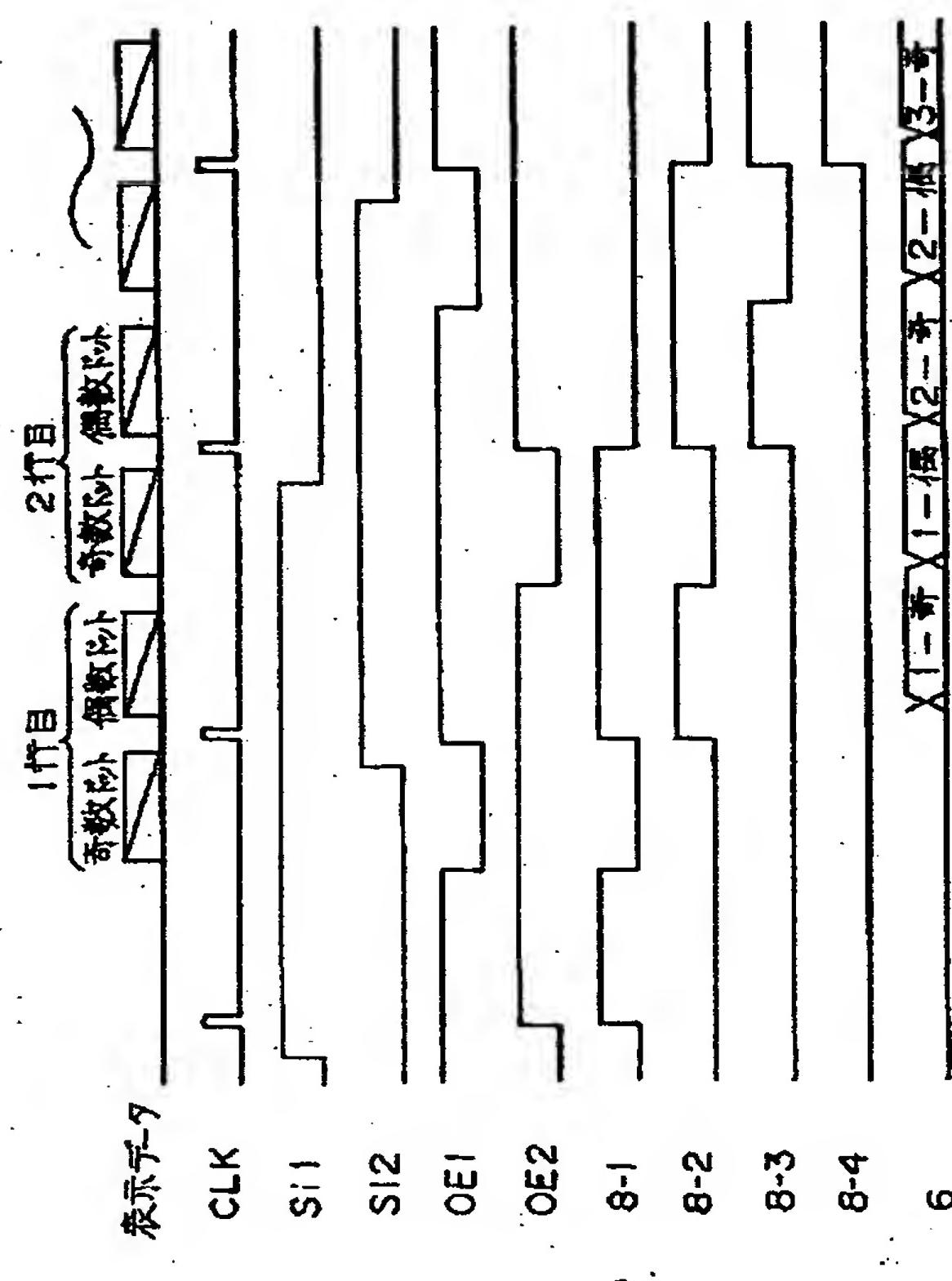
【図19】

第3実施例の動作説明図



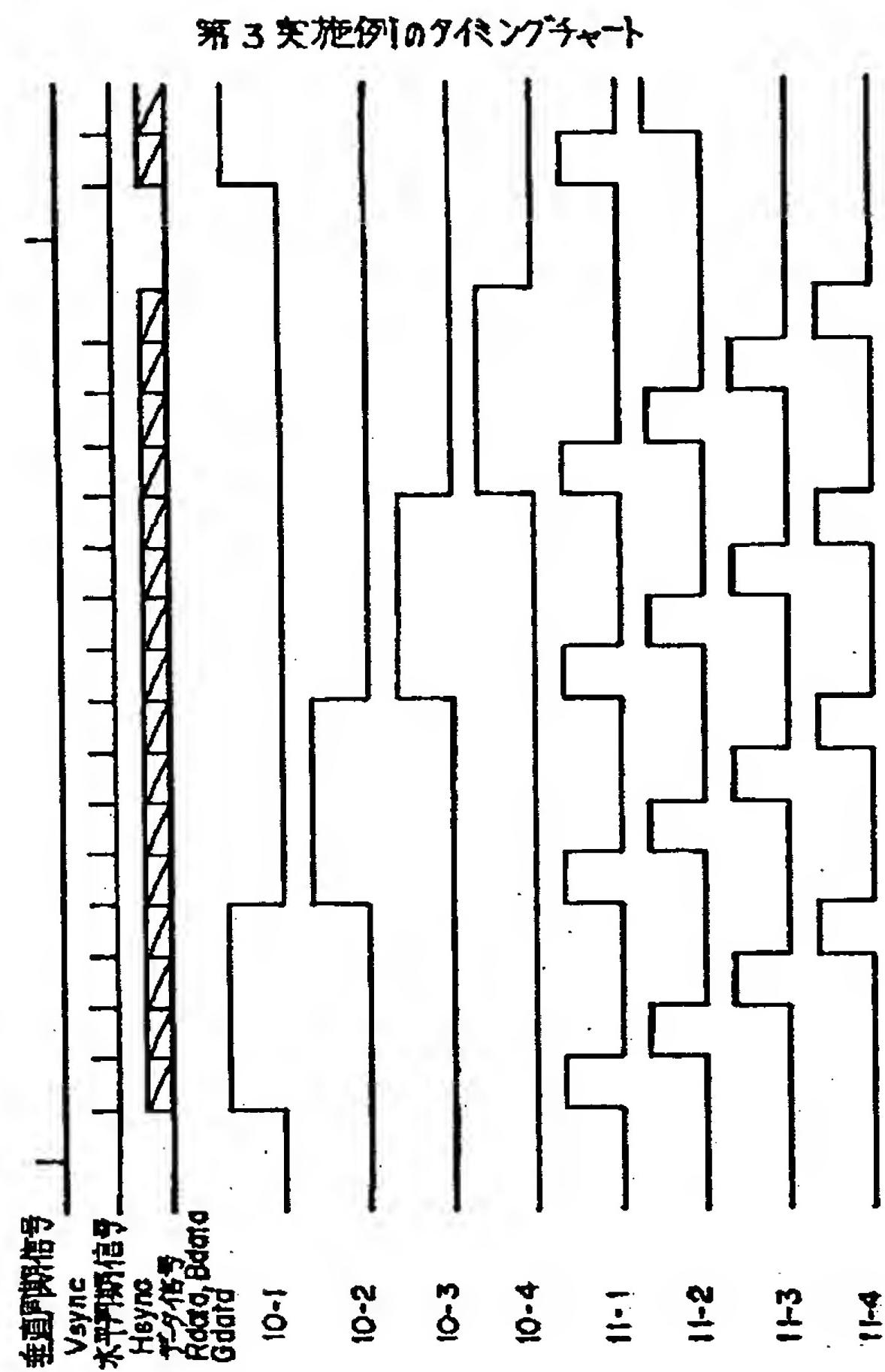
【図28】

第6実施例のタイミングチャート

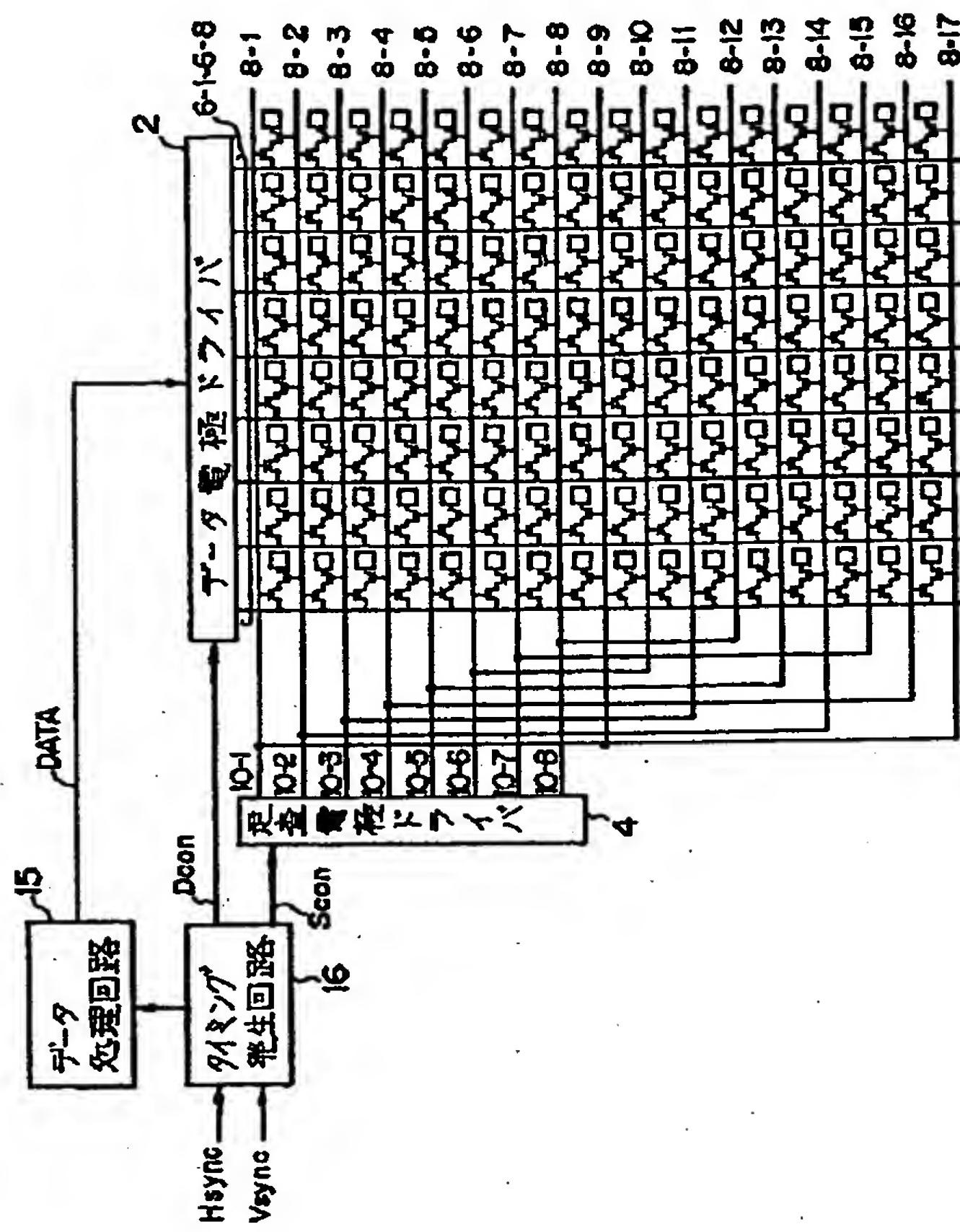


[20]

[23]

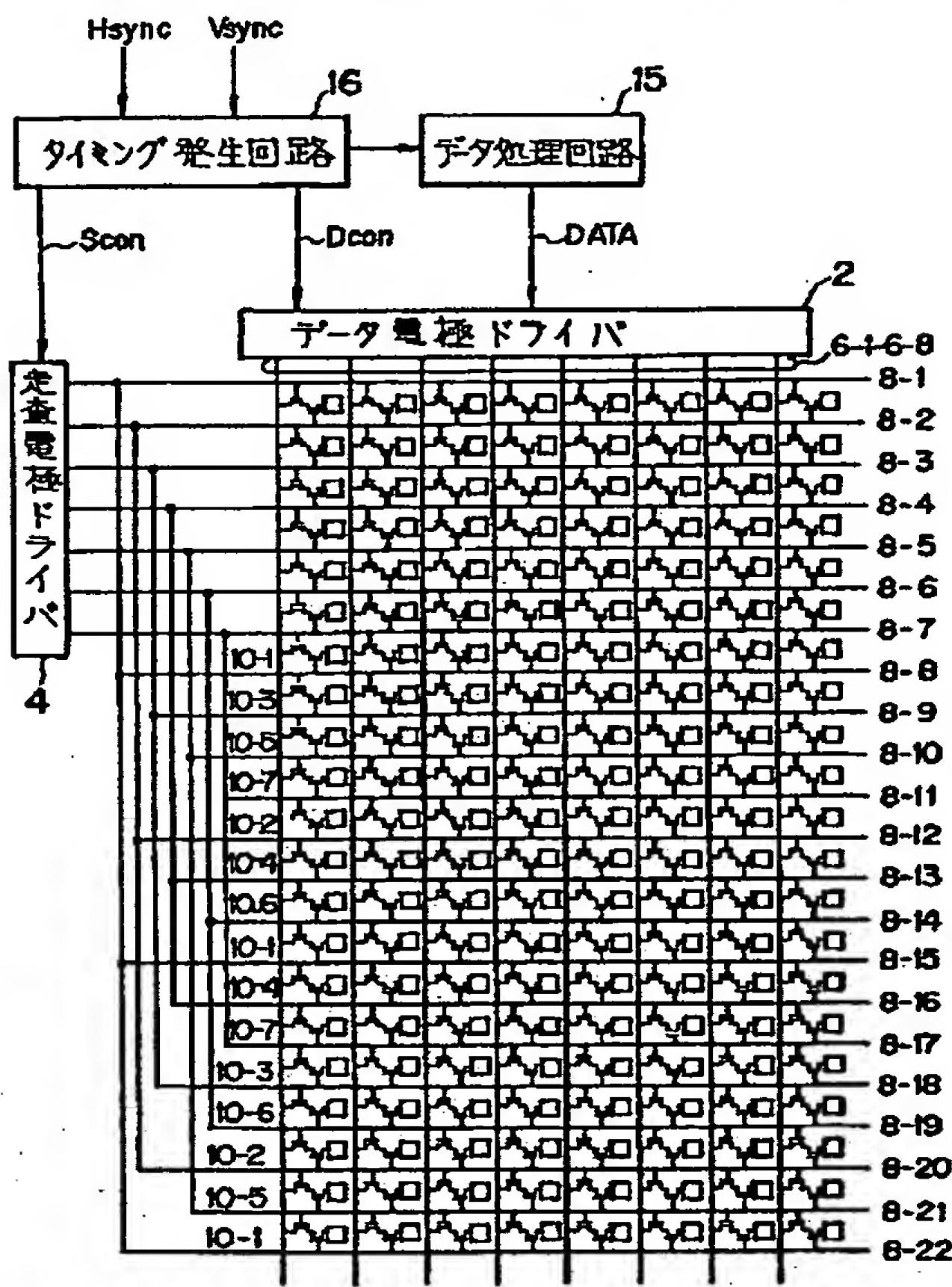


第4実施例のアクティプマトリクス型液晶表示装置の構成図



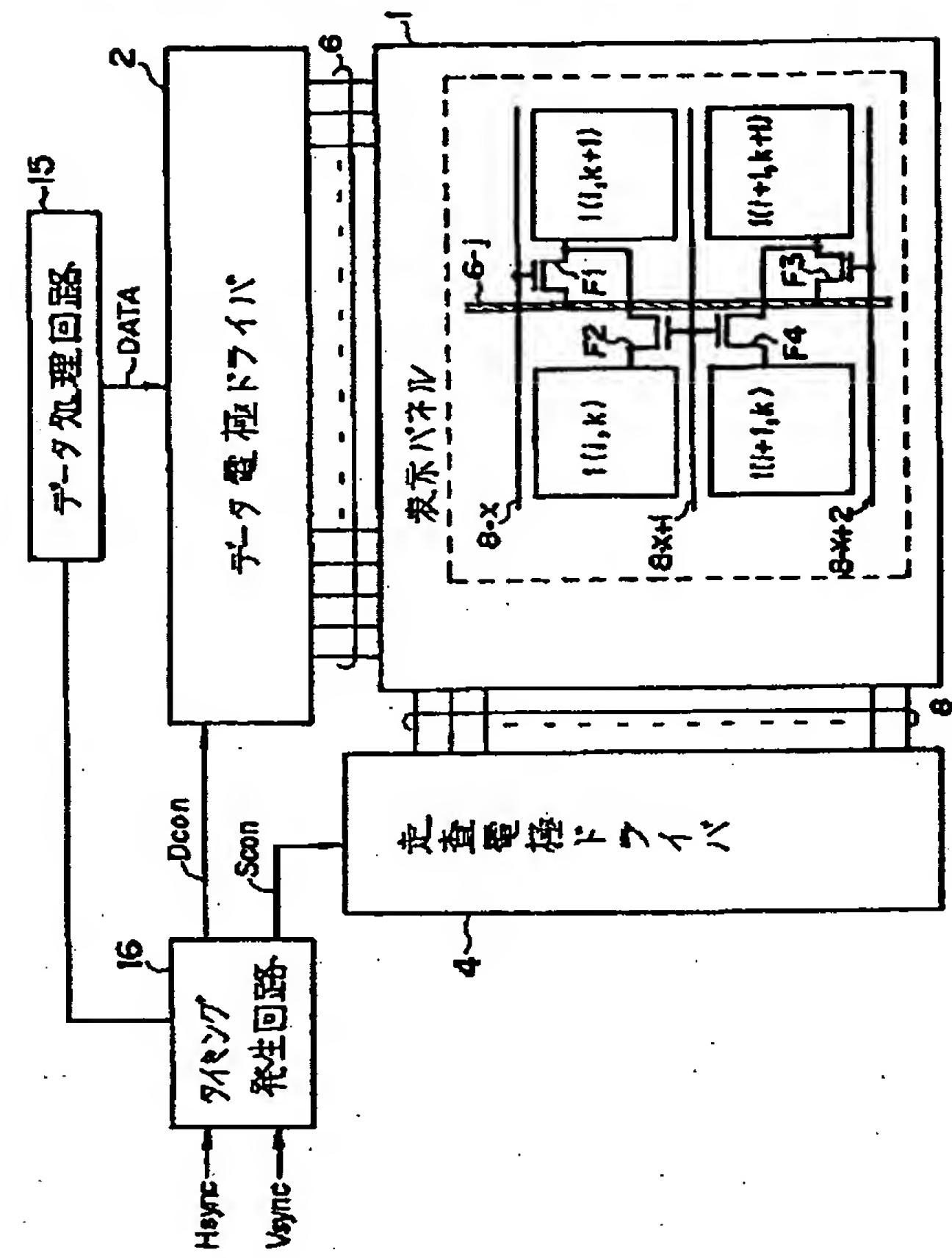
【図25】

第5実施例のアクティブマトリクス型液晶表示装置の構成図

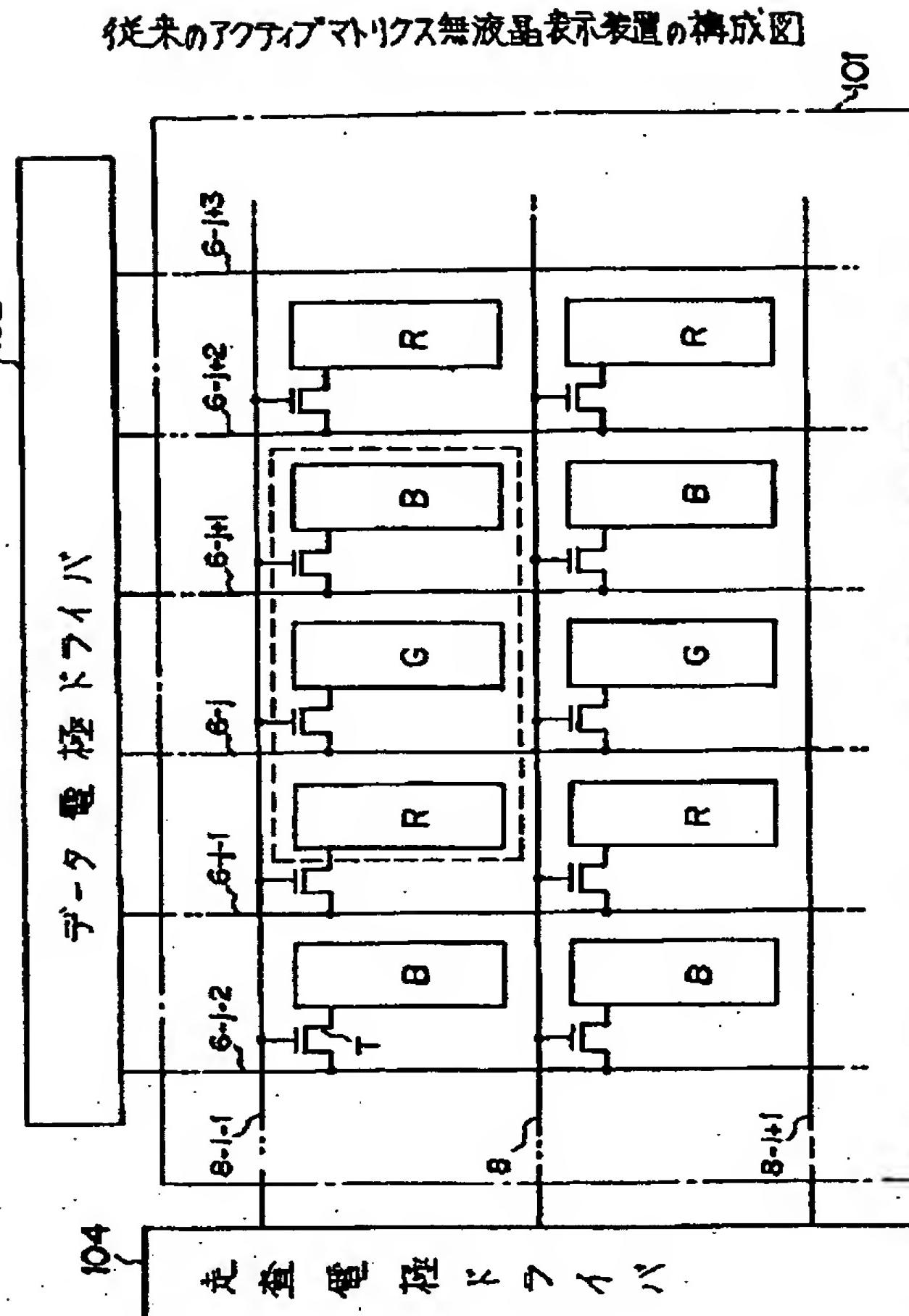


【図29】

第7実施例のアクティブマトリクス型液晶表示装置の構成図



【図30】



フロントページの続き

(72)発明者 小田 政美
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 星屋 隆之
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 村上 浩
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 糸数 昌史
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(56)参考文献 特開 平2-42420 (J P, A)
特開 昭61-290490 (J P, A)
特開 平5-188395 (J P, A)

(58)調査した分野 (Int. Cl. ?, D B名)

G02F 1/1368
G02F 1/133 550